

Arquitectura 8086

Sistemas Digitales con
Microprocesadores.

M.C. Juan Carlos Olguín R.

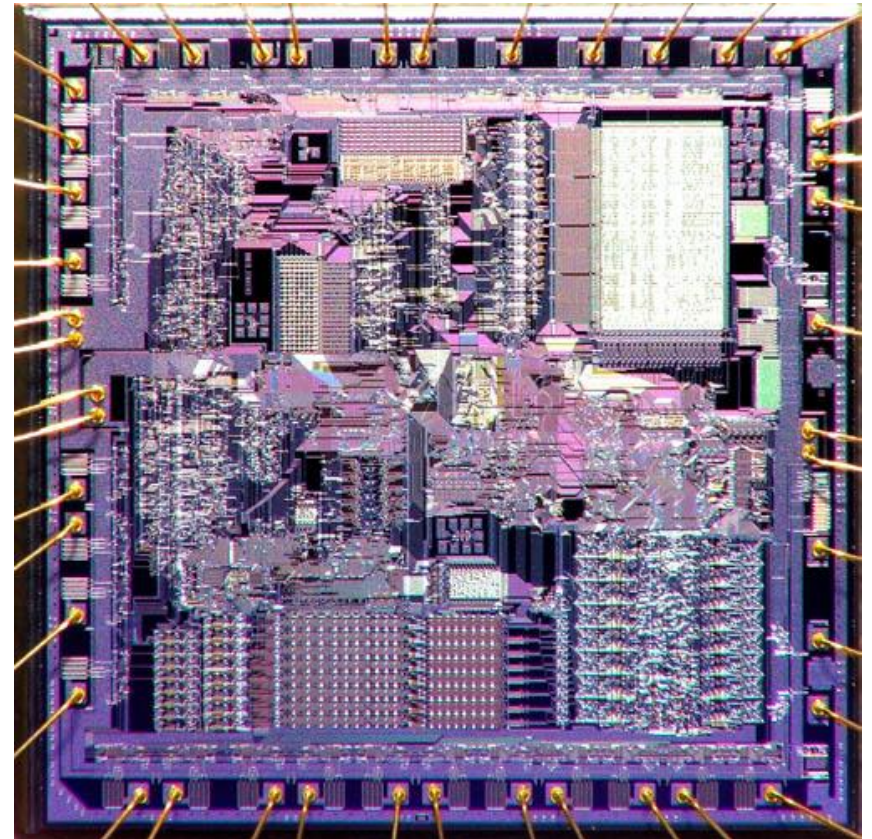
La evolución de los Microprocesadores



Diseño en modo Mínimo



Arquitectura Interna de un Procesador



Elementos de un Sistema Basado en:

- **CPU ó PROCESADOR:**
- único elemento activo que Maneja datos e instrucciones.

Realiza operaciones: transferencia, aritméticas, lógicas, etc.

(Posee un *Juego de Instrucciones*) Se dice elemento activo porque recibe una serie de datos y genera otros diferentes.

Elementos de un Sistema Basado en CPU

- **MEMORIA:** elemento (pasivo) que
- Almacena datos/instrucciones, sin alterarlos, en un conjunto de celdas, direccionables por el procesador, para lectura o escritura.
- *Capacidad de direccionamiento de una memoria: $M=2^n$*
La capacidad se define en Kilobytes (2^{10}), Megabytes (2^{20}), ó Gigabytes (2^{30}).
- Mapa de memoria de una CPU: datos, programas y E/S.

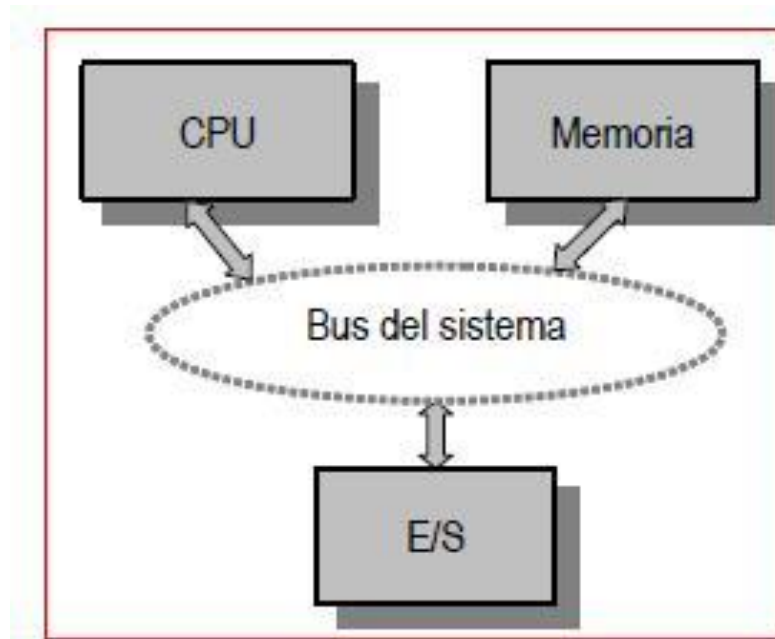
Elementos de un Sistema Basado en CPU

- **SUBSISTEMA DE ENTRADA/SALIDA (E/S):**
- elemento que comunica el computador con el exterior.

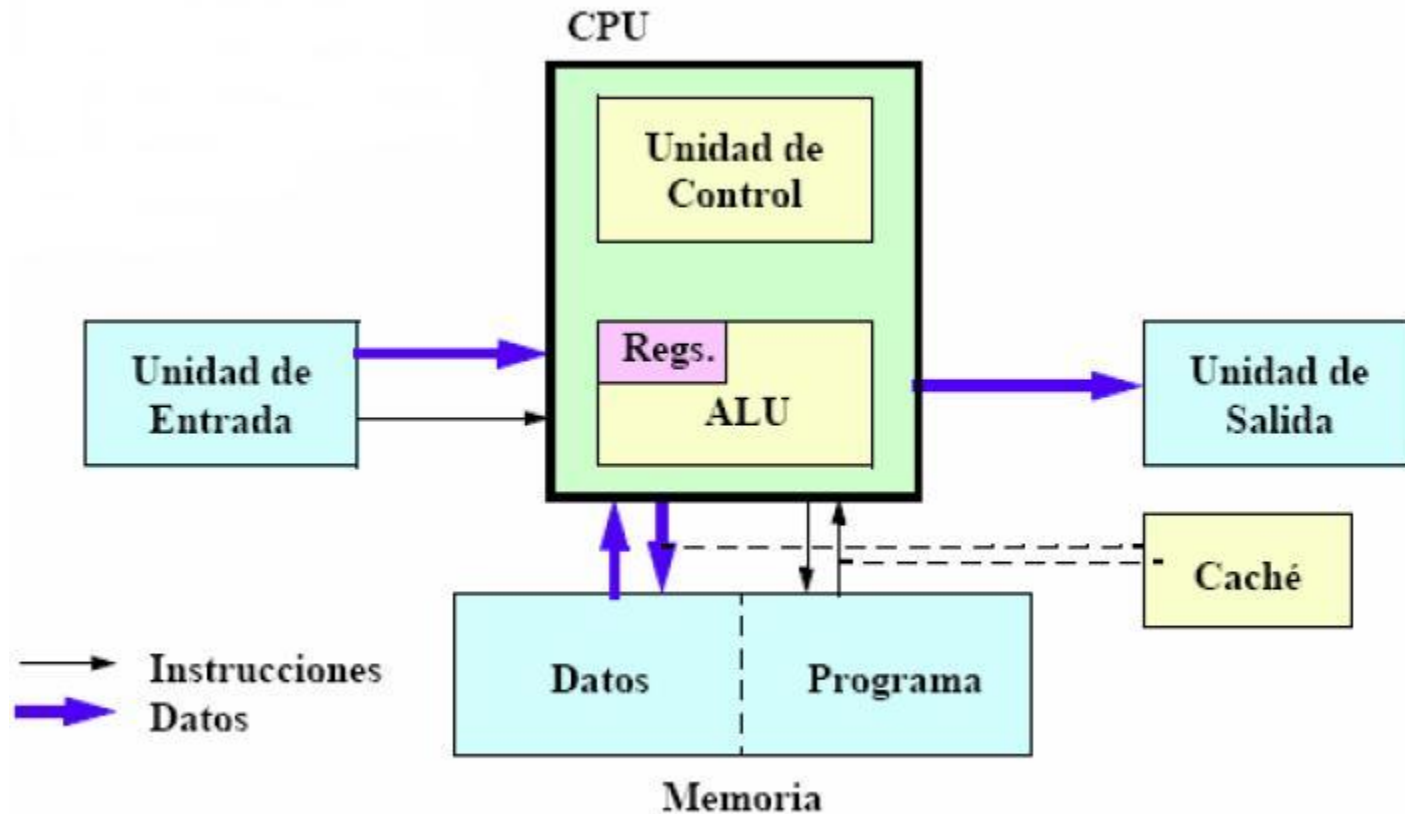
La computadora ve el subsistema de E/S como un conjunto de posiciones de memoria sobre las que se puede escribir o leer datos.

BUS DEL SISTEMA (BUS):

- **elemento que comunica** la CPU, MEMORIA y elementos de E/S.

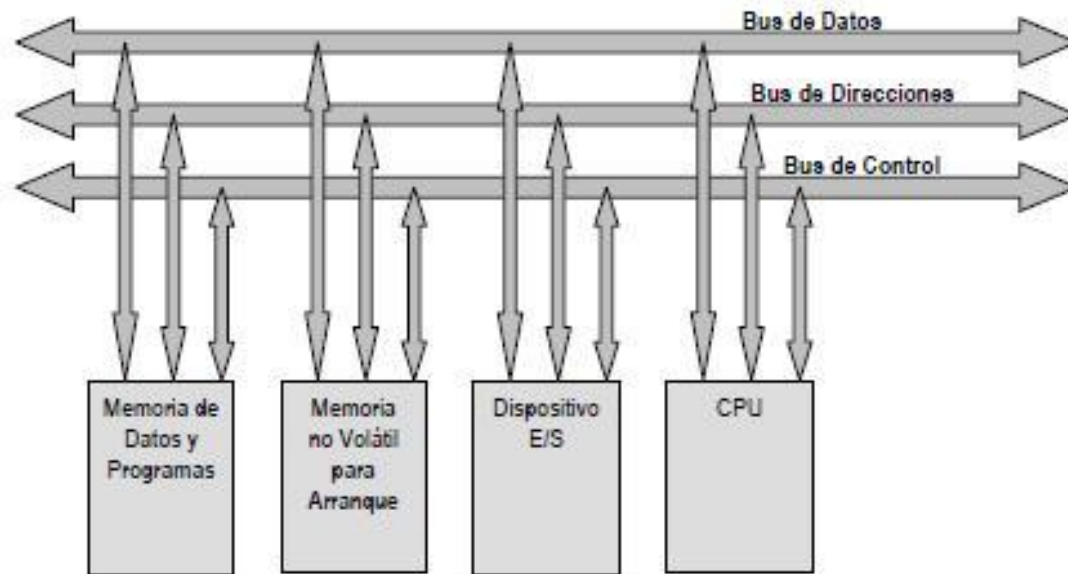


Computadora en General

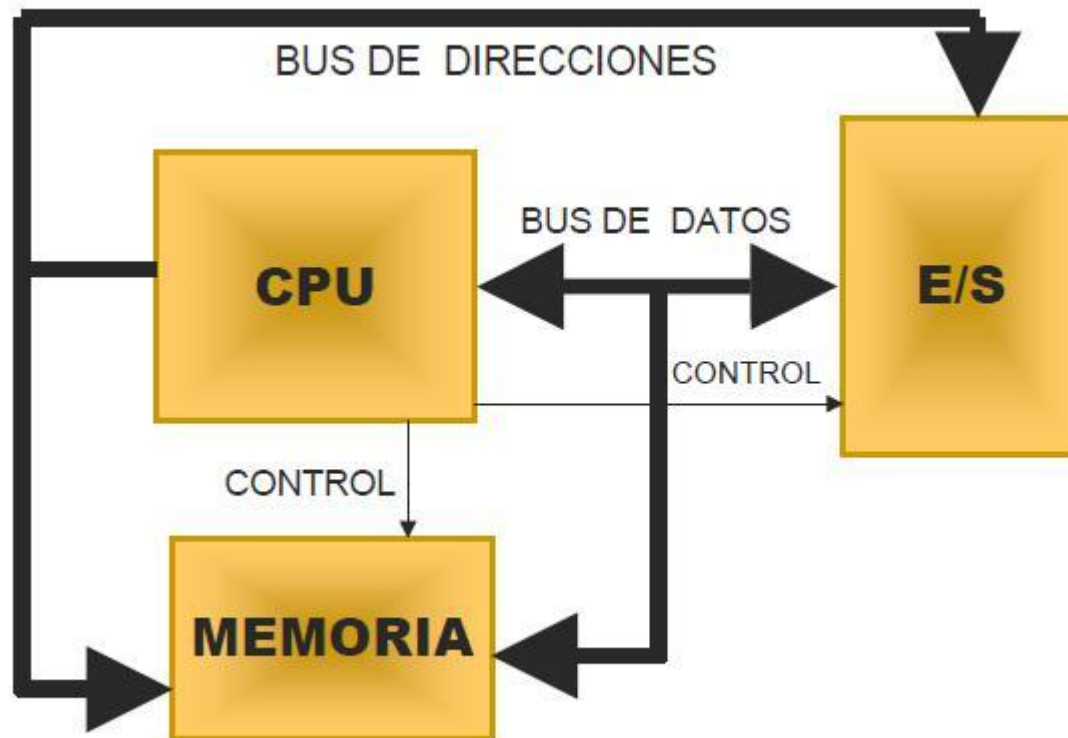


LOS BUSES

- Sabemos que los componentes de un computadora (CPU, Memoria, E/S) se conectan entre sí mediante **un conjunto de líneas** que transmiten señales con funciones específicas.
- Tres **tipos de señales** que constituyen un bus: **direcciones (de memoria o E/S), datos y control.**



Comunicación

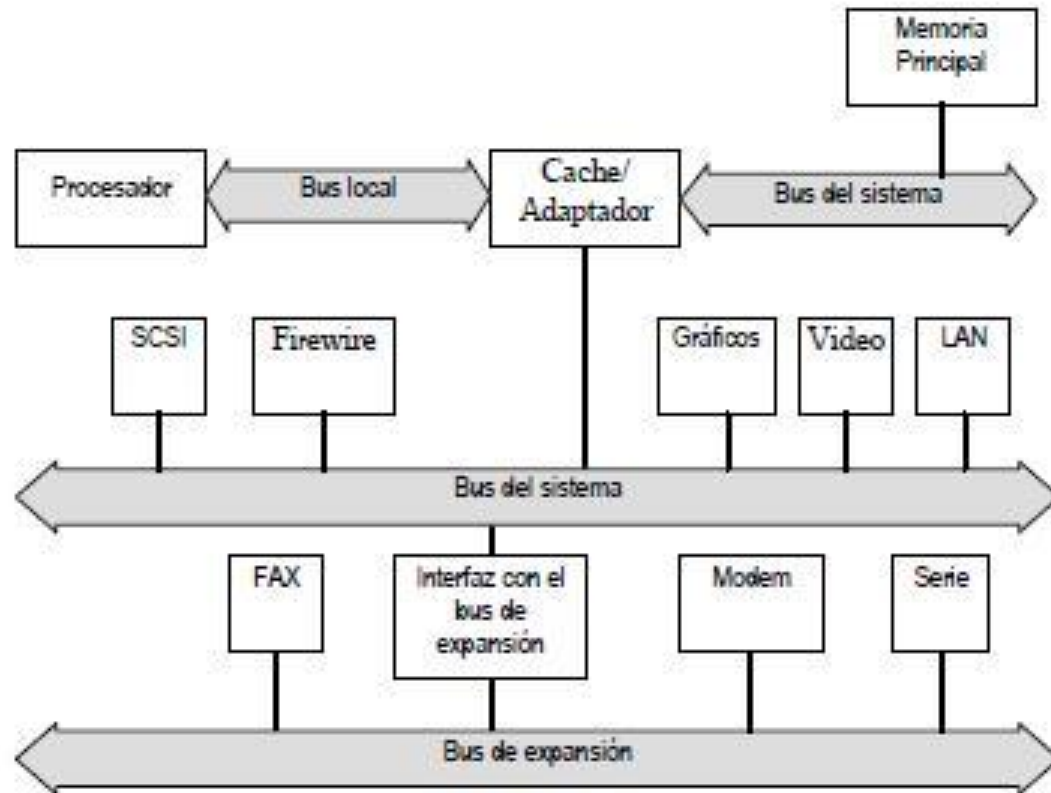


Tipos de Buses:

- **SERIE y PARALELO:** los primeros transmiten bit a bit y los segundos varios bits a la vez.
- **MULTIPLEXADOS y NO MULTIPLEXADOS ó DEDICADOS:** los multiplexados realizan diferentes funciones en función de las necesidades del momento.
- Ejemplo: bus compartido para direcciones y datos implica: *ahorro en Hardware y por lo tanto en costos.*
- **CENTRALIZADOS y DISTRIBUIDOS (arbitración):** *necesidad de determinar qué elemento transmite y cuál recibe. Generalmente existe arbitración centralizada por la CPU ó procesador.*
- **SÍNCRONOS y ASÍNCRONOS (temporización):** *cómo ocurren los diferentes eventos (comienzo, fin, ...) implicados en la transmisión de información. Utilización de una **señal de reloj** (comunicación síncrona) ó unas *líneas de protocolo (comunicación asíncrona).**

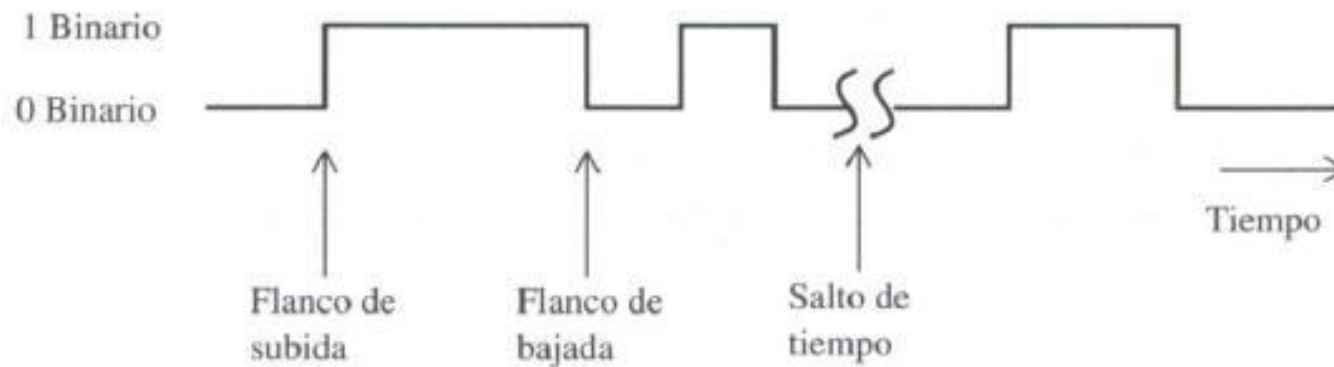
Jerarquía de Buses

- Los buses de arriba son los más rápidos y el bus de expansión el más lento.



Cronogramas

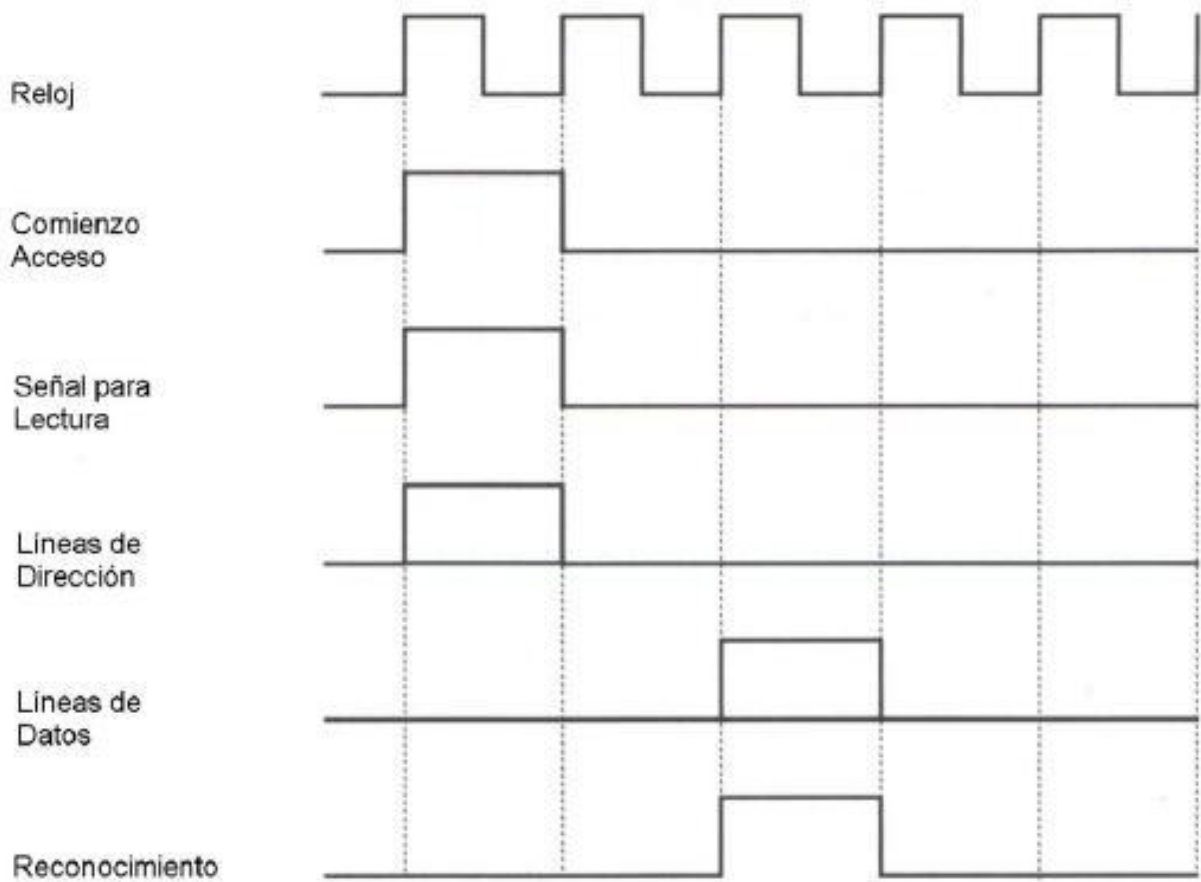
- Las líneas de un bus tienen dos niveles de señal 0 ó 1.



- La transición de una señal en un dispositivo puede dar lugar a transiciones en las señales de otros dispositivos.



- En los buses denominados síncronos existe una señal de reloj que sirve para sincronizar sucesos.



Esquema cronograma para una operación de lectura síncrona.

La CPU emite una señal de lectura y coloca dirección en bus direcciones.

Cada suceso ocupa un ciclo de reloj.

El dispositivo *Maestro* solicita acceso:
indica hay dirección y señales de
control válidas.

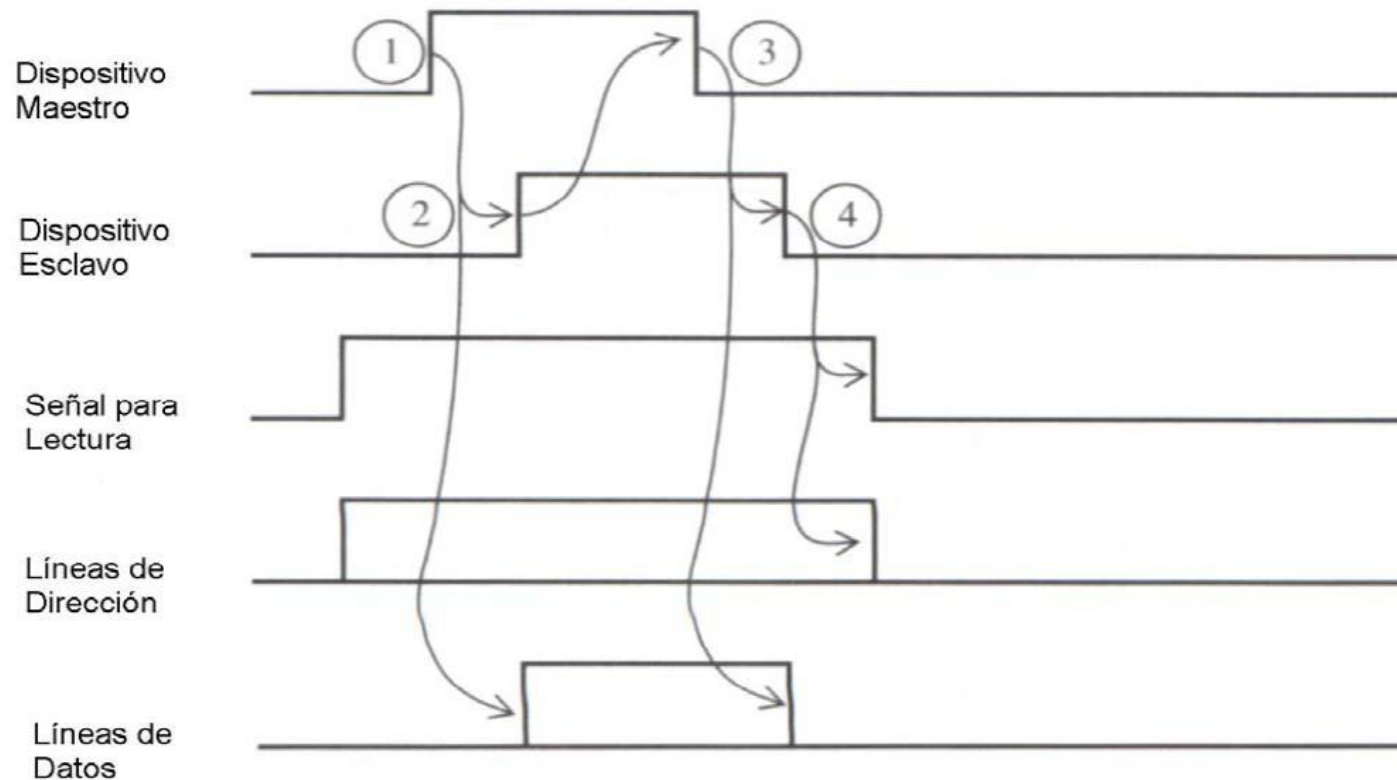
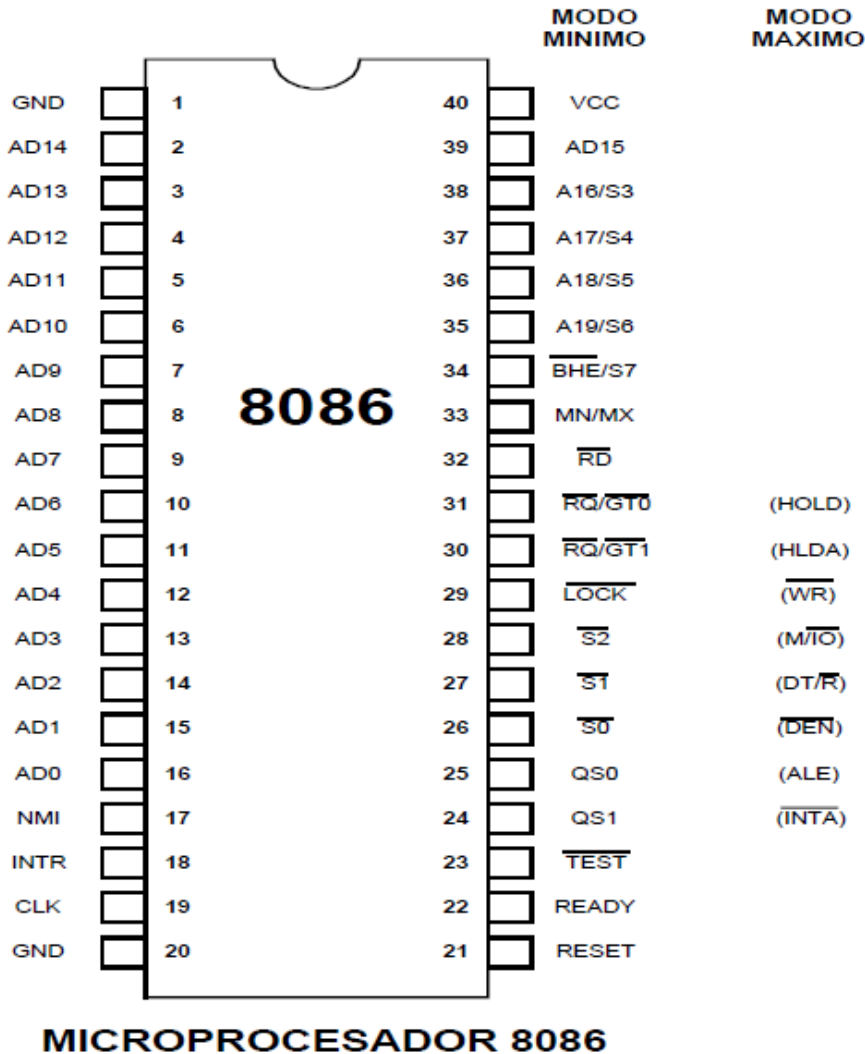


Diagrama de Conexión del 8086



Configuración del 8086.

El 8086 puede configurarse de dos formas distintas: **el modo máximo y el modo mínimo.**

El modo queda determinado al colocar la terminal **MN/MX** a tierra o a voltaje de alimentación.

En modo mínimo no admite la multitarea, mientras que en **modo máximo** es capaz de soportar un bus local, para ampliar directamente el 8086, y un bus de sistema MULTIBUS, que permite configuraciones con varios procesadores. En el modo máximo, el 8086 depende de otros chips adicionales como es el controlador de bus 8288 para generar el conjunto completo de señales de control de bus.

Clasificación de las Señales (8086)

- En ambos modos, las señales del 8086 se pueden agrupar de la siguiente manera:
 - **Alimentación.**
 - **Reloj.**
 - **Control y estado.**
 - **Direcciones.**
 - **Datos.**
- Hay tres terminales para la alimentación: tierra (GND) en las terminales 1 y 20, y una tensión de entrada de 5 volts (Vcc) en la terminal 40.
- La terminal de tierra es tierra a la vez para la alimentación y para las señales (Pto. De Ref. común)

Clasificación de las Señales (8086)

- Cuenta con una entrada de la señal de reloj (CLK) en el terminal 19.
- El 8086 cuenta con 20 bits de dirección. **Los 4 bits más significativos** de la dirección comparten terminales con algunas de las señales de estado.
- **Los 16 bits menos significativos** son multiplexados tanto para las direcciones como para los datos, es decir:

en ciertos instantes tales terminales conducen parte de una dirección, y en otros son transmitidos los datos.

Estos terminales pueden llevar información de una dirección e información sobre el estado y los datos.

El latch 8282 está diseñada para **seleccionar la información sobre la dirección de dichas terminales en el instante preciso** e ignorar lo referente al estado y los datos.

Grupos de control y señales de estado

La terminal **MN / MX** controla si el procesador está en modo **mínimo o máximo**,

Esto lo hace conectando la terminal a tierra o a una tensión de 5 volts.

S0 a S7 son señales de estado en las terminales 26, 27, 28, 38, 37, 36, 35, 34 respectivamente.

En ciertos momentos son salidas del procesador. En otros momentos aparecen otras señales distintas en las mismos terminales. Mirando el estado pueden decirse cosas tales como: el **tipo de acceso al bus** (lectura o escritura, memoria o E/S), el registro de segmento en uso y el estado del sistema de interrupciones.

S0, S1 y S2 son sólo accesibles en **modo máximo**, en cuyo caso se introducen en los chips controladores de bus 8288.

Estas señales decodifican el estado del procesador, de acuerdo con la siguiente tabla.

S2	S1	S0	ESTADO DE LA CPU
0	0	0	RECONOCIMIENTO DE INTERRUPCION
0	0	1	LECTURA PUERTA I/O
0	1	0	ESCRITURA PUERTA I/O
0	1	1	PARO (HALT)
1	0	0	CODIGO DE ACCESO A INSTRUCCION
1	0	1	LECTURA MEMORIA
1	1	0	ESCRITURA MEMORIA
1	1	1	PASIVO. NO OPERA.

El controlador de bus 8288 genera a partir de estas, otras importantes señales de control. En el modo mínimo no es preciso el controlador de bus 8288 puesto que el propio procesador genera por sí sólo algunas de estas señales de control.

Grupos de control y señales de estado

La señal **RD** es una señal de estado generada por el procesador sobre el **terminal 32**. Indica un ciclo de lectura de memoria o entradas y salidas.

La señal **READY** que se encuentra en el **terminal 22**, es una entrada de los dispositivos externos (memoria o controladores E/S) y su función es adaptar las velocidades de memoria y periféricos a la CPU. Esta señal pasa a través del generador de pulsos 8284 para sincronizarse con la señal de reloj.

La señal **READY** trabaja de la siguiente forma: Si se ha seleccionado un dispositivo externo para lectura o escritura y todavía no está preparado para completar la transferencia de datos, pone a cero la línea de señal **READY**.

El procesador ve esta señal y añade ciclos extras de << espera >> hasta que dicha señal se pone a su nivel normal, es decir, a 1 indicando que el dispositivo externo está preparado para realizar la transferencia. Acabada la transferencia las actividades del procesador continúan normalmente.

Grupos de control y señales de estado

La señal **RESET** que se encuentra en la **terminal 21**, es otra de las entradas que también pasa por el generador de pulsos 8284 para sincronizarse con la señal de reloj.

Se utiliza para inicializar el procesador borrando la cola de instrucciones y ciertos registros tales como los indicadores, segmento de datos (DS), segmento de pila (SS), segmento extra (ES) poniéndolos a cero.

El puntero de instrucciones (IP) y el segmento de código (CS) los carga con FFFFH.

Grupos de control y señales de estado

Las terminales **NMI** (Non-Maskable Interrup : Interrupción no enmascarable), **terminal 17**, e **INTR** (INTerrupt Request : petición de interrupción), **terminal 18**, son parte del sistema de interrupciones del 8086.

Un pulso en la **Terminal NMI** provoca una interrupción especial, llamada ***interrupción tipo 2***.

Una señal en la **terminal INTR** causará una respuesta de interrupción de **tipo general**.

El término << **no enmascarables**>> se refiere al hecho de que la interrupción generada por el **terminal NMI** no se puede activar o desactivar **vía un software** a la CPU.

Las interrupciones generales por **INTR** pueden **desactivarse vía software**.

Grupos de control y señales de estado

La terminal **BHE / S7** se utiliza como ayuda en la interfaz de los dispositivos de 8 bits con el bus de datos de 16 bits.

Su funcionamiento es el siguiente: Si la línea de dirección 0 es 0 (indicando una dirección par), la señal BHE especifica si se está direccionando una palabra entera o un sólo byte.

BHE igual a 0 significa que se trata de una palabra, BHE igual a 1 significa que es un byte.

Si la línea de dirección 0 es 1 (indicando una dirección impar), el 8086 direcciona siempre un byte y no una palabra.
En este caso BHE es 0.

Grupos de control y señales de estado

La señal **M / IO (terminal 28)** informa al sistema cuando el microprocesador requiere **acceso a la memoria o al espacio de E/S**, es decir, indica la realización de una operación sobre memoria ó sobre entrada / salida.

La terminal **WR** de selección de escritura (**terminal 29**) indica que los datos están disponibles en las líneas de datos, es decir, se trata de la señal que indica un **ciclo de escritura** de la CPU.

La terminal **DT / R (terminal 27)** cuya misión es la **recepción y transmisión de datos**, es decir, para controlar la transferencia de datos, el 8086 precisa de la colaboración del circuito auxiliar 8286 (8287). Este se gobierna por la señal DT / R, que indica el sentido del movimiento de la información (**transmisión o recepción**).

Grupos de control y señales de estado

DEN (terminal 26) igual que la anterior sirve para controlar la transferencia de datos y mas concretamente confirma la validación de los datos.

ALE (terminal 25). Esta señal activa el latch 8282 cuando viene una dirección por las líneas AD0-AD15, es decir, sirve para controlar el multiplexado de datos y direcciones.

INTA (terminal 24). La función de esta señal es el reconocimiento de interrupciones. (Se hablará más a detalle en el apartado de interrupciones).

Grupos de control y señales de estado

Las señales **HOLD** y **HLDA** son parte del propio **sistema de control de bus del 8086**.

HOLD (terminal 31) indica la **petición del bus por un periférico exterior**. Cuando otro procesador o un aparato como un controlador DMA quiere acceder al control del bus, manda una señal al 8086 a través de la línea HOLD. Cuando está preparado para hacerlo, el 8086 pone sus líneas de datos / direcciones y la mayoría de las líneas de control en el estado de alta impedancia. Al mismo tiempo, envía la señal **HLDA (terminal 30)** para indicar que el bus está libre. El otro aparato puede usar ahora el bus. Cuando finaliza con el bus, envía una señal a la línea HOLD.

Inmediatamente después de recibir la señal, el 8086 reanuda el uso del bus.

Grupos de control y señales de estado

Las señales **RQ / GT1** y **RQ / GT0** (terminales **30** y **31** respectivamente) se corresponden con las señales HOLD y HLDA del modo mínimo.

Se utiliza para liberar el bus y reconocer la acción.

Las señales **QS1** y **QS0** (terminales **24** y **25** respectivamente) son señales de estado de las colas de instrucciones.

Sólo son utilizables en modo máximo. El procesador de datos 8087 utiliza estas señales para coordinarse con el 8086.

La señal **TEST** (terminal **23**) se utiliza para enlazar el 8086 con un procesador paralelo, sincronizando el procesador principal con los otros.