

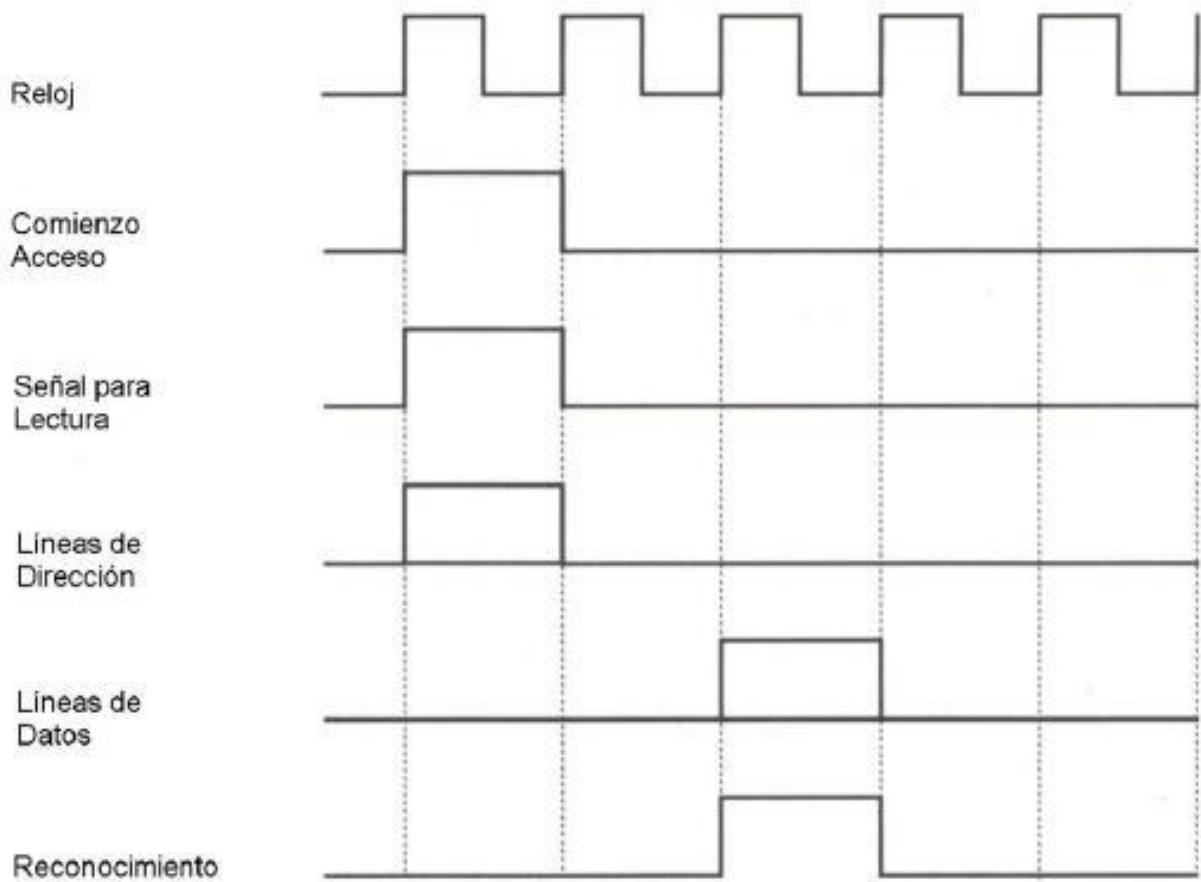
Arquitectura 8086

Sistemas Digitales con
Microprocesadores.

M.C. Juan Carlos Olguín R.

Diseño en modo Mínimo





Esquema cronograma para una operación de lectura síncrona.

La CPU emite una señal de lectura y coloca dirección en bus direcciones.

Cada suceso ocupa un ciclo de reloj.

El dispositivo *Maestro* solicita acceso:
indica hay dirección y señales de
control válidas.

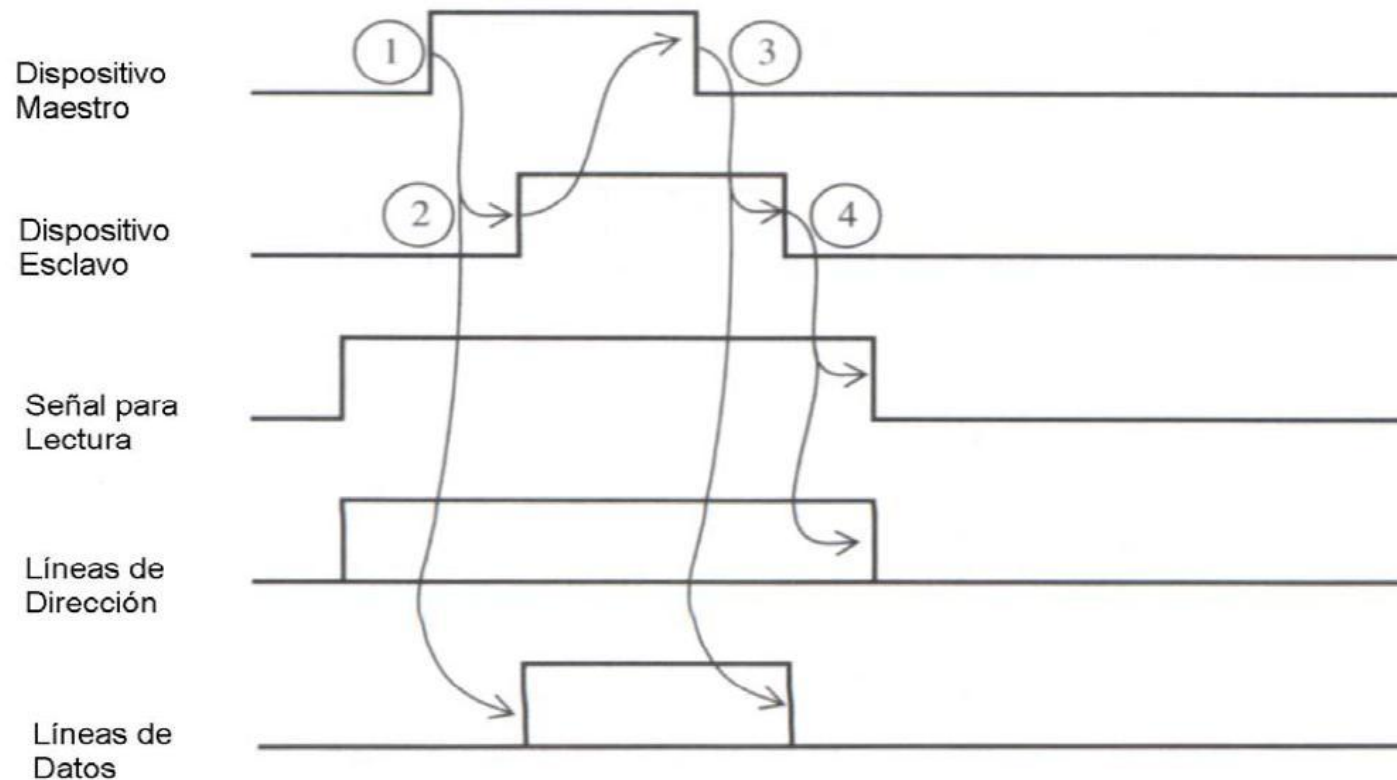
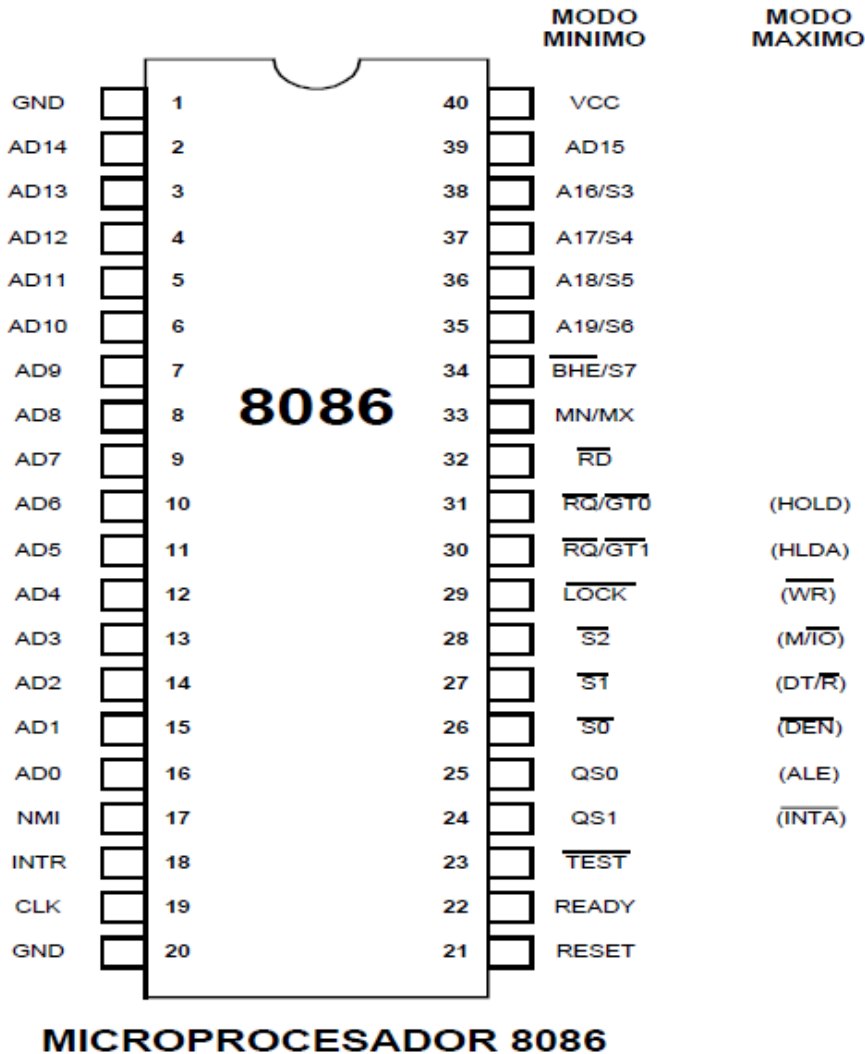


Diagrama de Conexión del 8086



Grupos de control y señales de estado

La señal **RD** es una señal de estado generada por el procesador sobre el **terminal 32**. Indica un ciclo de lectura de memoria o entradas y salidas.

La señal **READY** que se encuentra en el **terminal 22**, es una entrada de los dispositivos externos (memoria o controladores E/S) y su función es adaptar las velocidades de memoria y periféricos a la CPU. Esta señal pasa a través del generador de pulsos 8284 para sincronizarse con la señal de reloj.

La señal **READY** trabaja de la siguiente forma: Si se ha seleccionado un dispositivo externo para lectura o escritura y todavía no está preparado para completar la transferencia de datos, pone a cero la línea de señal **READY**.

El procesador ve esta señal y añade ciclos extras de << espera >> hasta que dicha señal se pone a su nivel normal, es decir, a 1 indicando que el dispositivo externo está preparado para realizar la transferencia. Acabada la transferencia las actividades del procesador continúan normalmente.

Grupos de control y señales de estado

La señal **RESET** que se encuentra en la **terminal 21**, es otra de las entradas que también pasa por el generador de pulsos 8284 para sincronizarse con la señal de reloj.

Se utiliza para inicializar el procesador borrando la cola de instrucciones y ciertos registros tales como los indicadores, segmento de datos (DS), segmento de pila (SS), segmento extra (ES) poniéndolos a cero.

El puntero de instrucciones (IP) y el segmento de código (CS) los carga con FFFFH.

Grupos de control y señales de estado

Las terminales **NMI** (Non-Maskable Interrupt : Interrupción no enmascarable), **terminal 17**, e **INTR** (INTerrupt Request : petición de interrupción), **terminal 18**, son parte del sistema de interrupciones del 8086.

Un pulso en la **Terminal NMI** provoca una interrupción especial, llamada ***interrupción tipo 2***.

Una señal en la **terminal INTR** causará una respuesta de interrupción de **tipo general**.

El término << **no enmascarables**>> se refiere al hecho de que la interrupción generada por el **terminal NMI** no se puede activar o desactivar **vía un software** a la CPU.

Las interrupciones generales por **INTR** pueden **desactivarse vía software**.

Grupos de control y señales de estado

La terminal **BHE / S7** se utiliza como ayuda en la interfaz de los dispositivos de 8 bits con el bus de datos de 16 bits.

Su funcionamiento es el siguiente: Si la línea de dirección 0 es 0 (indicando una dirección par), la señal BHE especifica si se está direccionando una palabra entera o un sólo byte.

BHE igual a 0 significa que se trata de una palabra, BHE igual a 1 significa que es un byte.

Si la línea de dirección 0 es 1 (indicando una dirección impar), el 8086 direcciona siempre un byte y no una palabra.
En este caso BHE es 0.

Grupos de control y señales de estado

La señal **M / IO (terminal 28)** informa al sistema cuando el microprocesador requiere **acceso a la memoria o al espacio de E/S**, es decir, indica la realización de una operación sobre memoria ó sobre entrada / salida.

La terminal **WR** de selección de escritura (**terminal 29**) indica que los datos están disponibles en las líneas de datos, es decir, se trata de la señal que indica un **ciclo de escritura** de la CPU.

La terminal **DT / R (terminal 27)** cuya misión es la **recepción y transmisión de datos**, es decir, para controlar la transferencia de datos, el 8086 precisa de la colaboración del circuito auxiliar 8286 (8287). Este se gobierna por la señal DT / R, que indica el sentido del movimiento de la información (**transmisión o recepción**).

Grupos de control y señales de estado

DEN (terminal 26) igual que la anterior sirve para controlar la transferencia de datos y mas concretamente confirma la validación de los datos.

ALE (terminal 25). Esta señal activa el latch 8282 cuando viene una dirección por las líneas AD0-AD15, es decir, sirve para controlar el multiplexado de datos y direcciones.

INTA (terminal 24). La función de esta señal es el reconocimiento de interrupciones. (Se hablará más a detalle en el apartado de interrupciones).

Grupos de control y señales de estado

Las señales **HOLD** y **HLDA** son parte del propio **sistema de control de bus del 8086**.

HOLD (terminal 31) indica la **petición del bus por un periférico exterior**. Cuando otro procesador o un aparato como un controlador DMA quiere acceder al control del bus, manda una señal al 8086 a través de la línea HOLD. Cuando está preparado para hacerlo, el 8086 pone sus líneas de datos / direcciones y la mayoría de las líneas de control en el estado de alta impedancia. Al mismo tiempo, envía la señal **HLDA (terminal 30)** para indicar que el bus está libre. El otro aparato puede usar ahora el bus. Cuando finaliza con el bus, envía una señal a la línea HOLD.

Inmediatamente después de recibir la señal, el 8086 reanuda el uso del bus.

Clasificación de las Señales (8086)

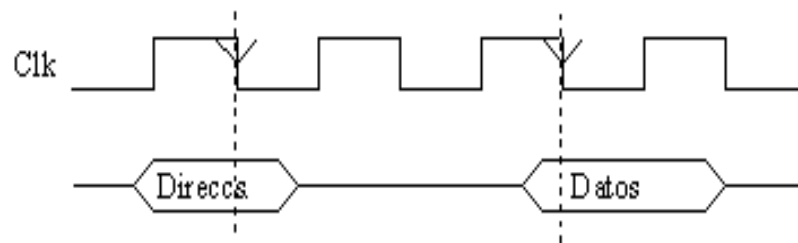
- En ambos modos, las señales del 8086 se pueden agrupar de la siguiente manera:
 - **Alimentación.**
 - **Reloj.**
 - **Control y estado.**
 - **Direcciones.**
 - **Datos.**
- Hay tres terminales para la alimentación: tierra (GND) en las terminales 1 y 20, y una tensión de entrada de 5 volts (Vcc) en la terminal 40.
- La terminal de tierra es tierra a la vez para la alimentación y para las señales (Pto. De Ref. común)

Ciclo de Bus en el 8086.

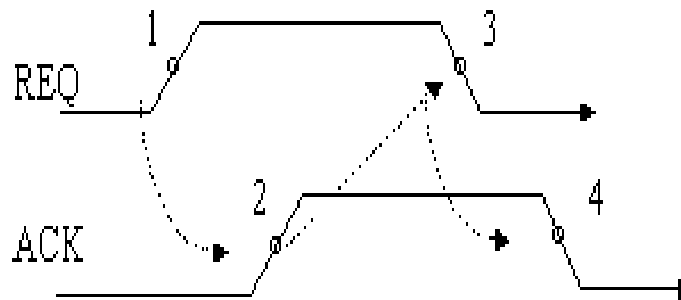
- **Ciclo de Bus:** es el **periodo de tiempo** en el que el procesador realiza un acceso exterior (no registros internos) a memoria o dispositivos de E/S.
- Para ello tiene que haber **líneas de control** dentro del **bus de control** que distinga el tipo de acceso, es decir: lectura, escritura, memoria, E/S, instrucciones, datos, interrupciones, etc.
- Posibilidades para activación de señales:
- El procesador activa directamente las señales de control. Ejemplo: 8086, señales rd*, wr*, M/IO, ...

- Un ciclo de bus tiene varios pasos, indicados por señales de control para que los eventos ocurran en el orden correcto.
- Primero Hay Tres tipos de Sincronización:
- **Sistemas SÍNCRONOS:**
- Son Gobernados por una señal de reloj periódica.
- Indica cuando leer, escribir, cuantos ciclos hay que mantener una señal, etc.
- **Sistemas ASÍNCRONOS y MIXTOS.**

SISTEMAS SÍNCRONOS Y ASÍNCRONOS:



SÍNCRONOS



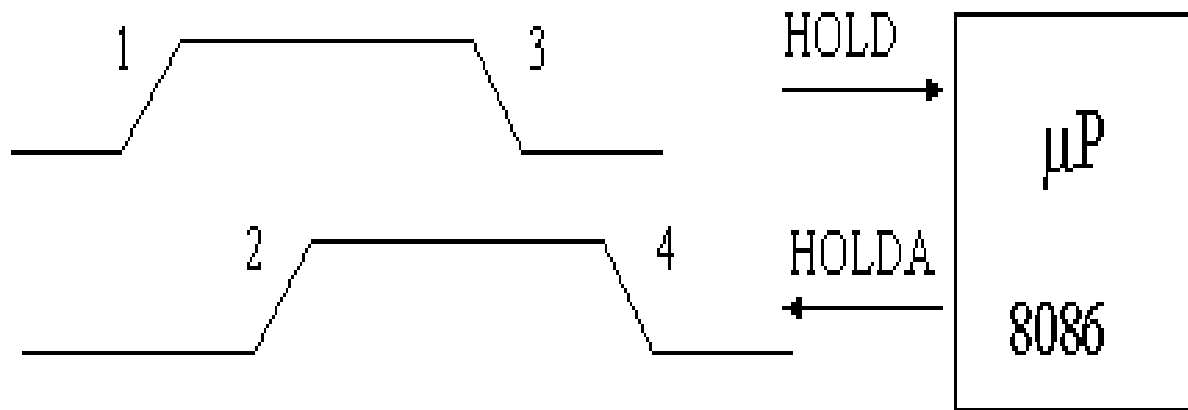
ASÍNCRONOS

- 1: Request (CPU) \equiv dirección válida
- 2: ACK (Mem) \equiv acuse de recibo
- 3: CPU Lee \equiv FinREQ.
- 4: FIN.

¿ Cómo y Quien controla el Acceso al Bus?

- **Existen Señas de Arbitraje**, es decir: Un dispositivo *Maestro (Master)* puede controlar el **bus** mientras que un dispositivo *Esclavo (Slave)* interpreta las señales del *Maestro (Master)*.
- Pueden existir varios dispositivos *Maestros*.
- **Ejemplo:** El controlador de **DMA (Slave)** en *arquitecturas 8086* que realiza transferencias entre la memoria y los periféricos de **E/S**. Pide permiso de utilización del bus del sistema a la **CPU (Master)** **mediante** la señal **HOLD**. La **CPU** concede permiso con señal **HOLDA**.

En otras Palabras:



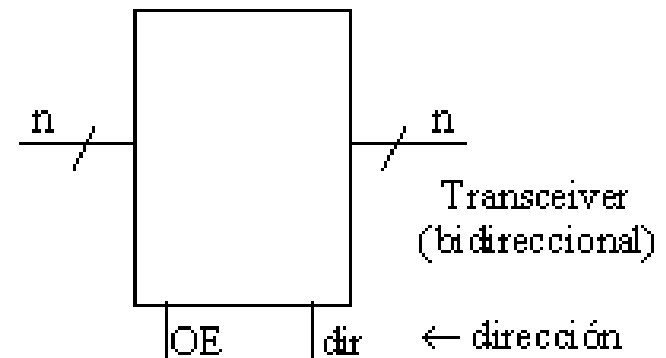
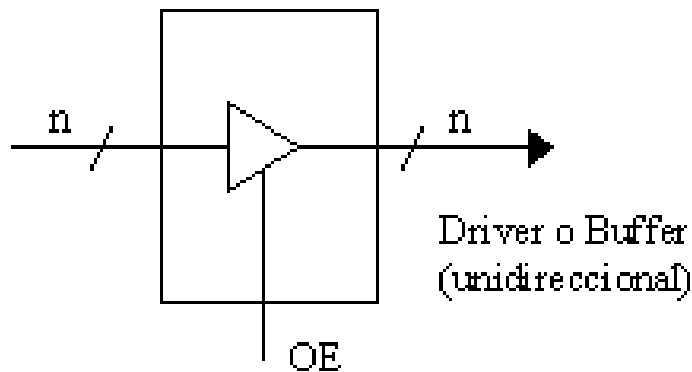
- 1.) El DMA pide permiso.
- 2.) El μP da permiso.
- 3.) El DMA devuelve el control.
- 4.) El μP retoma el control

Que circuitos se usan en la Interfaz de Bus:

- Circuitería usada para conectar dispositivos (memoria ó E/S) a la CPU:
- Dispositivos combinatoriales (que no conservan al estado)
- puertas lógicas (AND, OR, ...), inversores lógicos, multiplexores, decodificadores, etc.

Circuitos secuenciales

- Dispositivos secuenciales (conservan estado) :
- *buffers, transceivers, latches, registros, etc.*



CICLO DEL BUS DEL 8086

- El 8086 se **comunica** con los elementos externos a través del **bus del sistema**.
- Para transferir datos o buscar instrucciones, realiza los llamados “ ***ciclos de bus*** “.
- *El* ciclo de bus del 8086 consta de 4 periodos de reloj, llamados **estados T**.

¿ Cómo es el Mecanismo ?

- Durante el primer estado (T1), el 8086 extrae una dirección por las 20 líneas del bus multiplexado de direcciones, datos y estado.
- Esta dirección se considera válida cuando se produce un **flanco descendente** en la señal **ALE**.
- Esta última, en un sistema mínimo, es generada por el 8086, mientras que en uno máximo se produce en el controlador de bus 8288.

Mecanismo:

- La señal **S2-M/IO**, indica si se está realizando un acceso a memoria o a dispositivos de entrada / salida.
- Durante el segundo estado (T2), **la dirección del bus multiplexado desaparece**, y las señales S3, S4, S5 y S6 toman el control por las **4 líneas de más peso**.
- Estas aportan la siguiente información :

Codificación de las señales.

S4	S3	
0	0	<i>Dirección relativa al segmento extra.</i>
0	1	<i>Dirección relativa al segmento Stack.</i>
1	0	<i>Dirección relativa al segmento de código CS o ninguna.</i>
1	1	<i>Dirección relativa al segmento de datos DS.</i>

S5 indica el estado del flag de interrupción;

cuando **S6** es 0, significa que la CPU está actuando sobre el bus.

Mecanismo.

- Al mismo tiempo, en un **ciclo de lectura**, las 16 líneas de menos peso del **bus multiplexado** quedan en estado de **alta impedancia**,
- mientras que si el **ciclo es de escritura**, el dato aparece por estas líneas.

Durante los estados **T1** y **T2**, se genera la información referente a la dirección del dato, el sentido de la transferencia (si entra o sale de la CPU) y si es lectura o escritura, para lo cual se activan las señales **DEN, DT / R, RD Y WR**.

Durante el **tercer período** de reloj, **T3**, las **4 líneas de más peso** del bus de direcciones siguen conteniendo la **información sobre el estado**.

En una **operación de Escritura**, el dato sigue presente en las **16 líneas de menos peso** del bus multiplexado.

En un **ciclo de Lectura**, la información existente en las **16 líneas de menos peso** del bus multiplexado es considerado válido.

Si el dispositivo no es capaz de transferir datos a la velocidad requerida, deberá indicarlo, introduciendo un **nivel 0** (cero) por la línea **READY**.

Esta señal es reconocida en el último semiciclo de T , denominado **TW**.

Cuando esto ocurre, la CPU entra en un **estado de espera** (**WAIT**). Cuando haya terminado la transferencia, el dispositivo mandará un **nivel 1** por **READY** y comenzará la ejecución del **cuarto período de reloj, T4**.

En el **estado T4**, todas las líneas de control de memoria y entradas y salidas **se desconectan del bus del sistema**.

Sobre el bus del sistema aparece un ciclo, constituido por una serie de eventos **asíncronos** que seleccionan el dispositivo o posición de memoria, mediante una dirección junto a una señal de lectura o escritura que acompaña al dato.

El 8086 **únicamente ejecuta un ciclo de bus** cuando comienza la búsqueda de una instrucción o cuando un operando debe transferirse, entre el 8086 y los dispositivos de entrada y salida o memoria.

Conexión al Procesador 8086

- Consideraciones:
- En el 8086 hay 20 líneas de dirección.
- El bus de datos consta de: 16 líneas (8086, 80186, 80286), 32 líneas (80386, 80486) y 64 líneas (Pentium).
- El bus de control: Tiene diversas líneas.

Conexión en el 8086

- el 8086: 20 líneas de direcciones y 16 líneas de datos (palabra de procesador de 16 bits).
- Utiliza Posiciones pares en un banco de memoria e impares en otro (selección con A0).
- Con las líneas A19 ... A1 se accede a las posiciones **dentro** de cada banco de memoria.

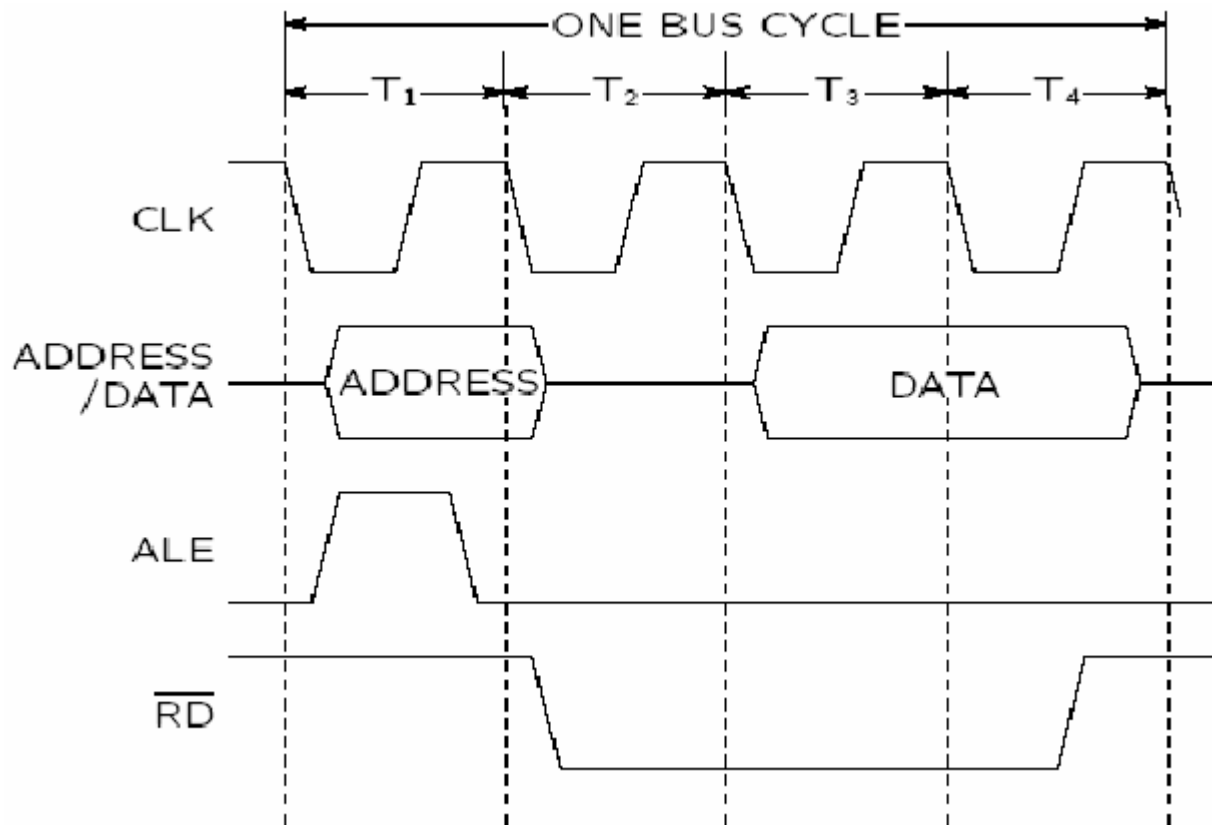
- Con la señal **BHE*** se accede a cualquier *byte* **dentro de la palabra** ó a la palabra entera.
- **Señales de control del 8086:**
 - **RD***, **WR***: Lectura o escritura.
 - **M/IO***: Indica si se accede a una dirección de memoria o de entrada/salida.
 - **READY**. Es una señal para la sincronización con otros dispositivos.
 - **ALE** (*Address Latch Enable*). Sirve para capturar valor de la dirección en un *Latch*.

Nota.- Como el bus es multiplexado, el valor de dirección que aparezca en el bus será sustituido a continuación por el valor del dato.

Los Cuatro ciclos de reloj (Lectura)

- T1: Dirección, ALE (se almacena la dirección en los *latches*), *M/IO**.
- T2: Desaparece valor de dirección; Bus en alta impedancia; **Comienza RD***.
- T3: Lectura del dato a la bajada del ciclo. Para ello tiene que estar *Ready* en nivel alto. Pueden *existir estados de espera*. *Ready=0* significa **no preparado**.
- T4: FIN. Se desactivan todas las señales de control y finaliza el ciclo

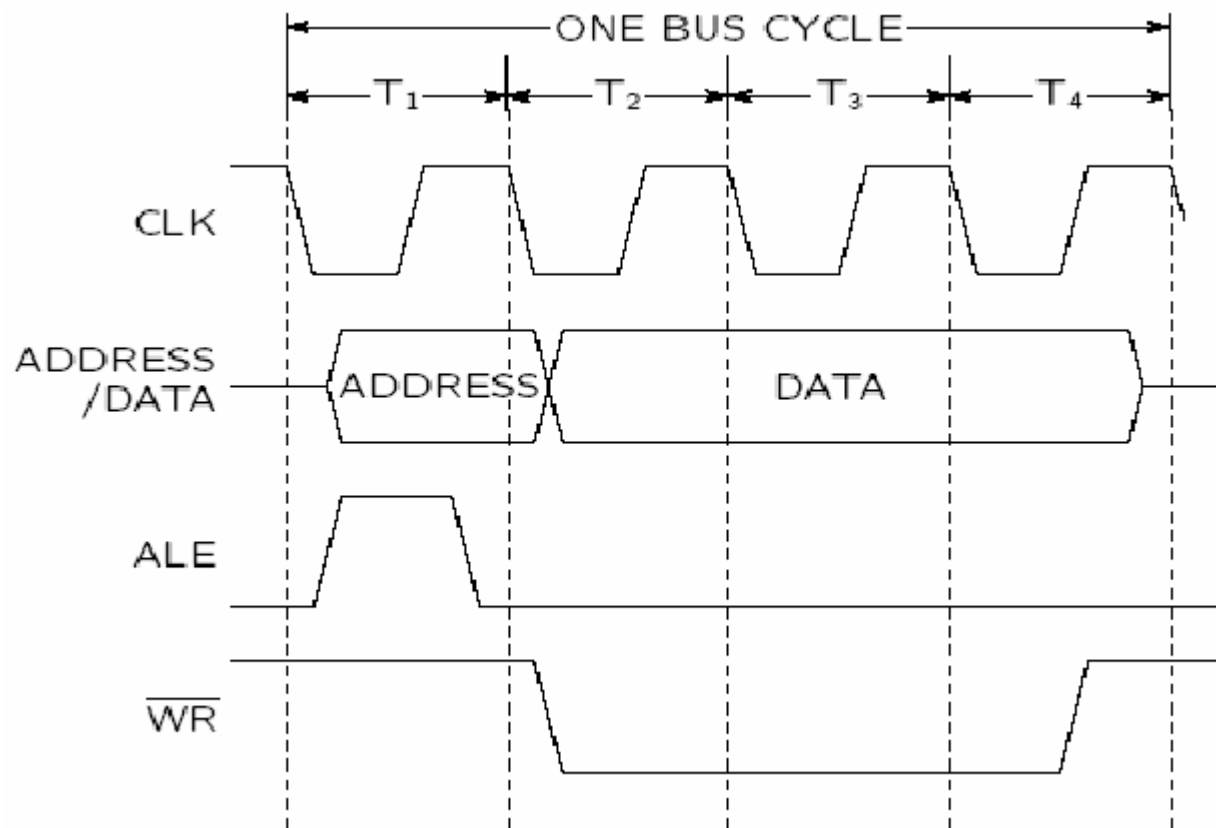
Ciclo de Lectura 8086.



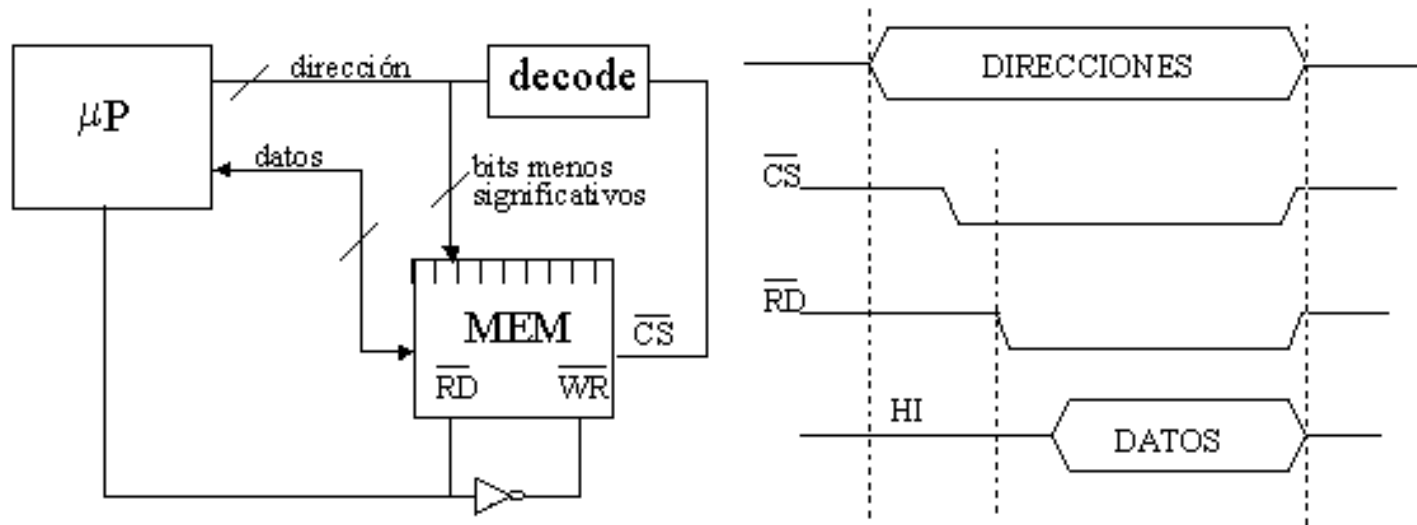
Ciclos de reloj (Escritura)

- La CPU pone el dato.
- En **T2** desaparece el valor de dirección, y se sustituye por el dato. Se **activa WR***.
- La escritura se realiza en T4, a la subida de WR*.
- Decisión de diseño: retardar lo más posible la escritura. (El 8086 tiene una cola de instrucciones donde se van almacenando conforme se van leyendo)

Ciclo de Escritura 8086



Conexión y Acceso con un 8086



Primero, se utilizan las líneas más significativas del bus de direcciones (**bits más significativos**), para activar el/los chip/s de memoria a los que se va a acceder, es decir, Señal \overline{CS}^* ó *Chip Select*.

Mecanismo de Conexión.

- Las líneas/bits menos significativos del bus de direcciones se usan como direcciones dentro del/de los chip/s seleccionado/s.
- Si no hay acceso a datos, el **bus de datos** está en alta impedancia (HI).
- La señal RD* puede usarse en muchas memorias como indicador de *Output Enable*. Aunque puede parecer redundante (bastaría con $WR^*=0$ para escritura y $WR^*=1$ para lectura) así se permite que en lectura no se pongan los datos hasta bien avanzado el ciclo de bus.