

Sistemas Digitales con Microprocesadores 112135

Tema 6 . Mapeo y Decodificación de memoria.

Tema 6. Mapeo y Decodificación de memoria.

1. Mapeo de Memoria
 2. Bancos de Memoria
 3. Decodificación de bancos de Memoria
 4. Interfaz de Memoria con el 8086
-

Decodificación de la memoria

- ¿Cómo se realiza la lectura de memoria con el 8086?
 - De acuerdo al diagrama de tiempos del ciclo de bus. Para leer la memoria el 8086 realiza los siguientes pasos:
 - 1. Coloca una dirección de 20 bits en el bus de direcciones
 - 2. Coloca la señal M/IO' en 1 para indicar que se trata de una dirección de memoria.
 - 3. Coloca la señal RD' en 0 para indicar que se requiere una operación de lectura.
 - 4. Espera a que la memoria coloque el dato a ser leído
-

Decodificación de la memoria

- ¿Cómo se realiza la escritura de memoria con el 8086?
 - De acuerdo al diagrama de tiempos del ciclo de bus. Para escribir en la memoria el 8086 realiza los siguientes pasos:
 - 1. Coloca una dirección de 20 bits en el bus de direcciones
 - 2. Coloca la señal M/IO' en 1 para indicar que se trata de una dirección de memoria.
 - 3. Coloca la señal WR' en 0 para indicar que se requiere una operación de escritura.
 - 4. Envía el dato a escribir en la memoria.
-

Decodificación de la memoria

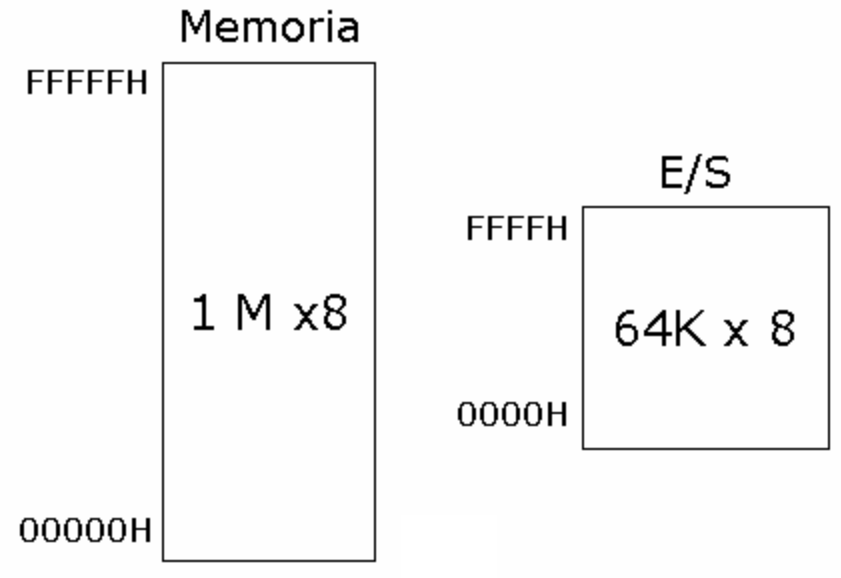
- Conceptos básicos en la interfaz de memoria.
 - La función principal de la interfaz de memoria es la de permitir al procesador leer o escribir en un registro dado de la memoria. Para realizar esta operación, el microprocesador deberá.
 - 1.Ser capaz de activar el circuito integrado
 - 2.Identificar el registro que se va a acceder
 - 3.Habilitar el buffer apropiado
-

Decodificación de la Memoria

- 1. Ser capaz de activar el circuito integrado
 - Para conectar un dispositivo de memoria con el microprocesador, se requiere decodificar la dirección enviada a la memoria. Esta decodificación provoca que la memoria funcione en una sección única del mapa de memoria, por ejemplo de la dirección FC000H a la FFFFFFFH. Y en cualquier otra dirección fuera de este rango no se activará la memoria.
-

Mapa de memoria

- El mapa de memoria es de 1MB y se debe determinar el rango de direcciones en el que trabajará la memoria.



Decodificación de la Memoria

- El procesador 8086 debe ser capaz de escribir o leer datos en cualquier localidad de memoria de 8 o de 16 bits. Esto significa que el bus de datos de 16 bits se encuentra dividido en dos bloques o bancos de memoria de 8 bits cada uno, de tal forma que el procesador puede acceder (leer o escribir) en cualquiera de los dos bancos (si trabaja en 8 bits) o en ambos bancos (si trabaja en 16 bits). El banco bajo (low) contiene todas las localidades de memoria con direcciones pares y el banco alto (high) contiene los registros de memoria con direcciones impares.
- Es importante recordar que el 8086 utiliza las señales BHE' (habilitación del bus alto) y Ao (bit de dirección Ao) para seleccionar uno o ambos bancos de memoria de acuerdo al tamaño de la instrucción que se está ejecutando para la transferencia de datos fuera del procesador y considerando la siguiente tabla.

<u>BHE'</u>	<u>Ao</u>	<u>Función</u>
0	0	Habilitación de ambos bancos 16 bits (D15-D0)
0	1	Habilitación banco alto 8 bits dirección non (D15-D8)
1	0	Habilitación banco bajo 8 bits dirección par (D7-D0)
1	1	No se habilita ningún banco

Interfaz de Memoria

- Para realizar la interfaz con la memoria y seleccionar el banco de memoria correcto, se tienen dos alternativas.
 - Implementar una señal de escritura separada para seleccionar la escritura a cada uno de los bancos de memoria, o
 - Se emplean decodificadores separados para seleccionar cada banco a través de la señal CS' (habilitación del circuito)
-

Decodificadores separados de bancos:

- ❑ Para realizar la interfaz siempre se deben agregar las memorias de dos en dos, una para ocupar direcciones pares y la otra para ocupar direcciones nones. Por ejemplo si queremos interconectar dos memorias EPROM con capacidad de 128Kx8 cada una ($128K = 2^{17}$).
 - ❑ La capacidad total por las dos memorias será 256K bytes, esto representa un total de 18 líneas de direcciones ($2^{18}=256K$), es decir, una cuarta parte de la capacidad de direccionamiento del 8086.
-

Decodificadores separados de bancos:

$A_{19}A_{18}A_{17}A_{16}$	$A_{15}A_{14}A_{13}A_{12}$	$A_{11}A_{10}A_9A_8$	$A_7A_6A_5A_4$	$A_3A_2A_1A_0$
X X 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1
X X 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Si colocamos las 20 líneas de direcciones con las que cuenta el 8086 y marcamos el rango de valores posibles con 18 líneas ($A_{17}-A_0$) la dirección más baja posible será la indicada con 18 ceros, y la dirección más alta posible será la indicada por los 18 bits en unos. Estas 18 líneas nos permitirán seleccionar la dirección del registro que se desea acceder dentro de los 256K bytes constituidos por las dos memorias que se desean interconectar con el microprocesador. Las dos líneas más significativas marcadas con "X" deberán contener el valor fijo que determina la ubicación dentro del mapa de memoria (de un mega) en donde queremos colocar la memoria.

Mapeo de Memoria

Mapa de memoria: Si el mega de memoria lo dividimos en bloques de 256K bytes, tenemos:

$$\frac{1 \text{ mega } 2^{20}}{256\text{K } 2^{18}} = 2^2 = 4$$

4 combinaciones o bloques de 256K

Mapa de Memoria

		A19	A18
FFFFFFH	256K	1	1
C0000H			
DFFFFFFH	256K	1	0
80000H			
7FFFFFFH	256K	0	1
40000H			
3FFFFFFH	256K	0	0
00000H			

En el mapa de Memoria:

- ❑ La memoria EPROM es recomendable colocarla en la parte más alta de memoria (de la dirección FFFFFH hacia abajo) y en caso de requerir más memoria se agregará en las direcciones inmediatas inferiores. Esto es debido a que siempre que se genere un RESET al sistema, la dirección de inicio del sistema es la FFFF0H.
 - ❑ La memoria RAM por el contrario se recomienda colocarla en la parte mas baja de memoria (a partir de la dirección 00000H) que es la zona de vectores de interrupción.
-

Decodificadores separados de bancos:

- De tal manera que para interconectar estas dos memorias EPROM con el 8086 en la parte más alta de memoria, el rango de direcciones queda de la siguiente forma:

A_{19}	A_{18}	A_{17}	A_{16}	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10}	A_9	A_8	A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0	
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	FFFFH
1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	C000H

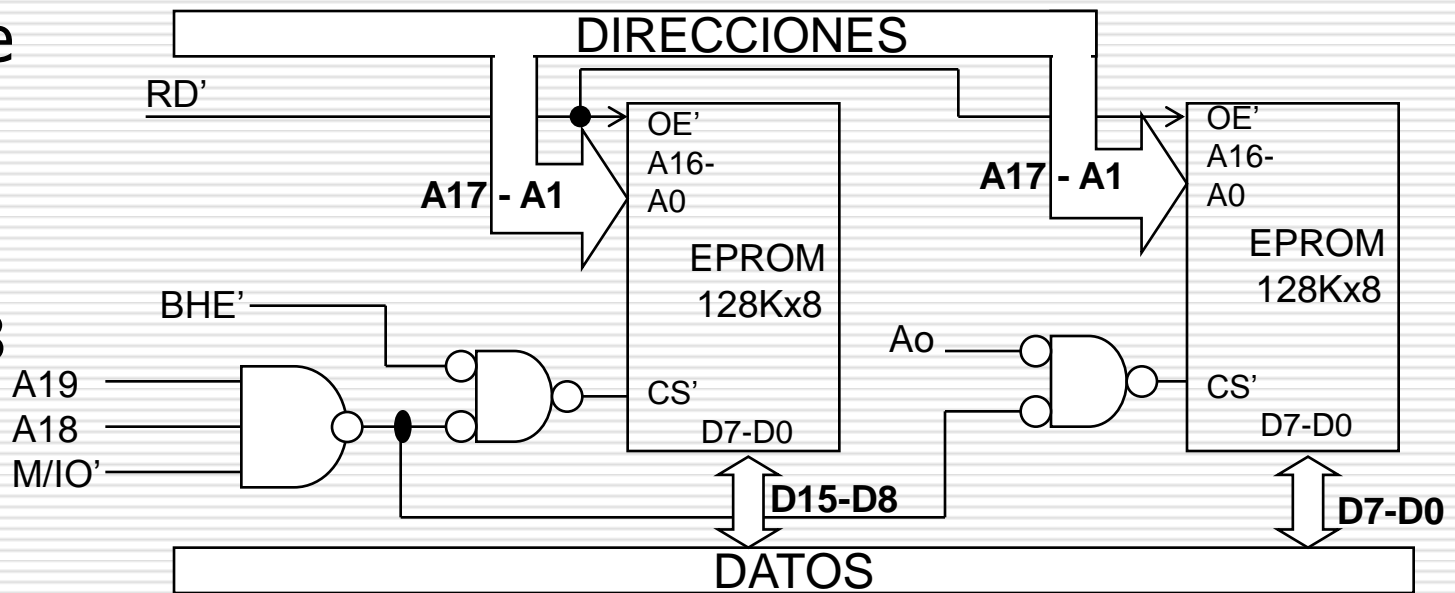
Observe que los bits A_{19} y A_{18} , se encuentran en 11 para emplear la parte alta de la memoria y se mantienen con ese valor fijo durante todo el rango de direcciones.

Decodificadores separados de bancos:

- ❑ Las líneas con valor fijo se decodifican junto con la señal M/IO' (En valor "1" para asegurar que es dirección de memoria), esta salida se conectan con una NAND junto con BHE' (banco alto) o con A_0 (banco bajo) a la terminal CS' (selector del chip) para habilitar la memoria siempre que se genere una dirección dentro del rango seleccionado.
 - ❑ Las señales BHE' y A_0 se utilizan para habilitar el banco de memoria correspondiente dependiendo si se trata de un acceso a localidad de 8 bits con dirección par (banco izquierdo), o con dirección non (banco derecho) o tamaño palabra (16 bits), ambos bancos.
 - ❑ Las líneas que varían se conectan a las líneas de entrada de dirección de la memoria con A_1 como línea de dirección menos significativa.
-

Decodificadores separados de bancos:

Ejemplo de
Interfaz de
Memorias
EPROM
de 128Kx8



Decodificadores separados de bancos:

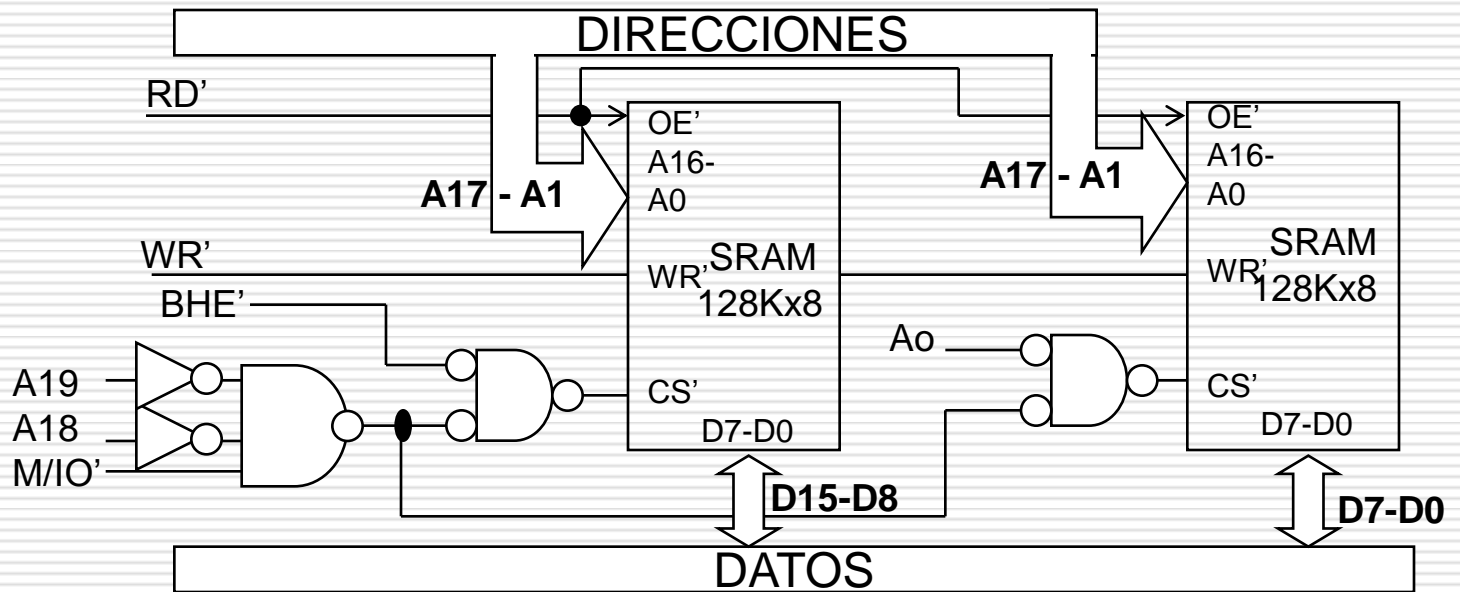
- Si ahora se agregan dos memorias RAM estáticas de 128K x 8, cada una decodificadas en la parte más baja de memoria, éstas estarán situadas en el rango de direcciones de la 00000H a la 3FFFFH.

A_{19}	A_{18}	A_{17}	A_{16}	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10}	A_9	A_8	A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0	
0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	3FFFFH
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	00000H

Observe que los bits A_{19} y A_{18} , se encuentran en 00 para emplear la parte baja de la memoria y se mantienen con ese valor fijo durante todo el rango de direcciones.

Decodificadores separados de bancos:

Interfaz
de
Memorias
SRAM
de
128Kx8



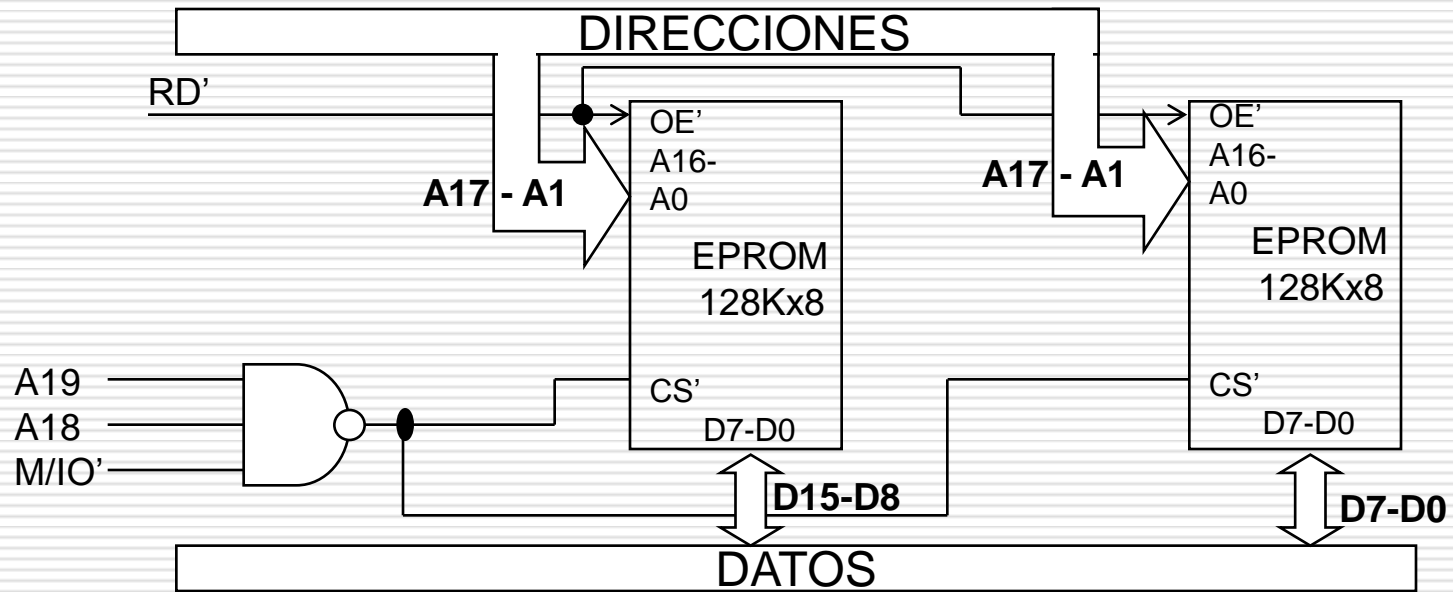
Señal de escritura separada para cada banco de memoria

- ❑ Otra forma para manejar la selección de bancos consiste en implementar un pulso de escritura separado para cada banco de memoria. La decodificación para la habilitación del chip (CS') es la misma señal para ambos bancos.
 - ❑ Para generar la señal de pulsos de escritura separados para cada banco de memoria se requiere una compuerta OR a la que se conecta la señal WR' con A_0 para el banco bajo y otra compuerta OR a la que se conecta BHE' y WR' para el banco alto.
 - ❑ Las líneas con valor fijo se decodifican junto con la señal M/IO' (En valor "1" para asegurar que es dirección de memoria) y se conectan a la terminal CS' (selector del chip) de ambos bancos de memoria para habilitarlas siempre que se genere una dirección dentro del rango seleccionado.
 - ❑ Las líneas que varían se conectan a las líneas de entrada de dirección de la memoria con A_1 como línea de dirección menos significativa.
-

Señal de escritura separada para cada banco de memoria

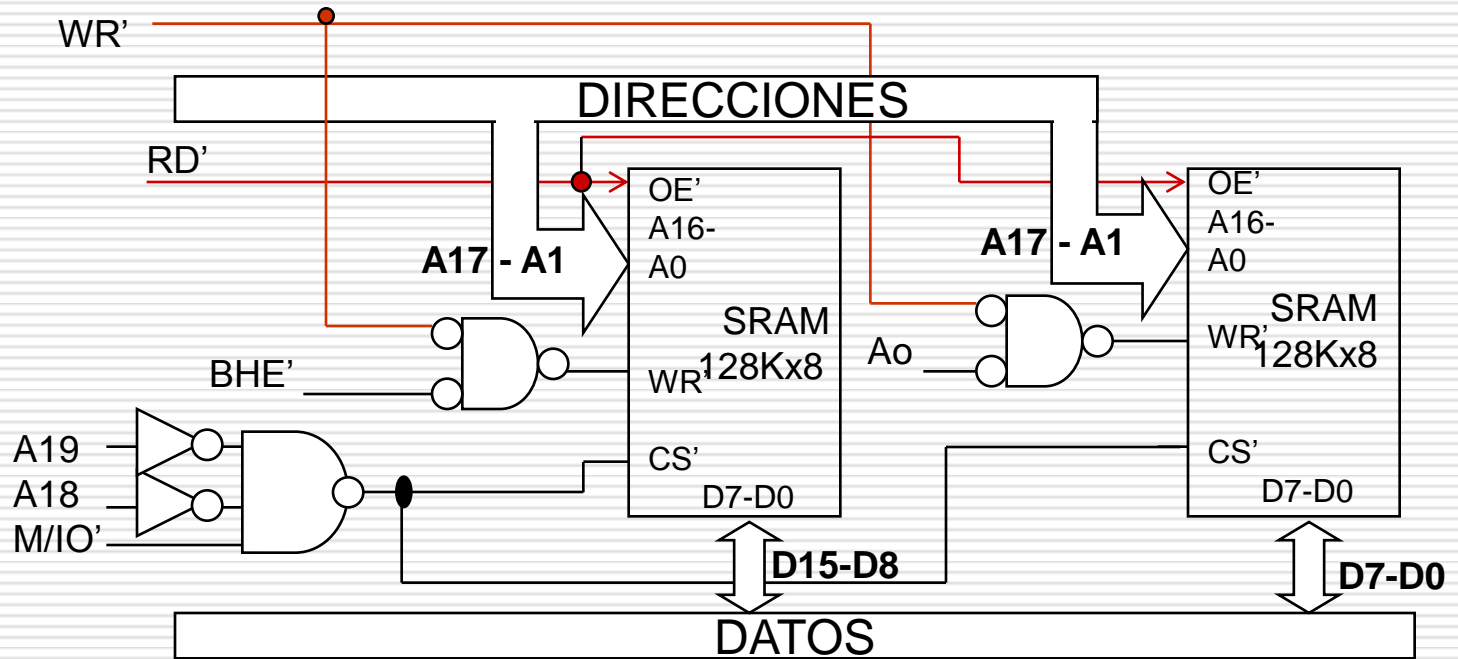
Interfaz de
Memorias

EPROM
de
128Kx8



Señal de escritura separada para cada banco de memoria

Interfaz de Memorias SRAM de 128Kx8



RESUMEN DE INTERFAZ DE MEMORIA

- ❑ Conectar las líneas del bus de dirección requeridas a las líneas de direcciones del circuito integrado de memoria.
 - ❑ Decodificar las líneas de direcciones fijas junto con la señal M/IO', a través de una compuerta NAND o con decodificador.
 - ❑ La señal BHE' se utiliza para habilitar el banco alto de memoria, ya sea en la entrada CS' junto con la decodificación del punto anterior o bien con la señal WR' para una RAM.
 - ❑ La señal Ao se utiliza para habilitar el banco bajo de memoria, ya sea en la entrada CS' junto con la decodificación de líneas de direcciones fijas con la señal WR' para una RAM.
-

Interfaz de memoria

- ❑ Conectar las líneas del bus de dirección requeridas a las líneas de direcciones del circuito integrado de memoria.
- ❑ Decodificar las líneas de direcciones fijas con una compuerta nand o con decodificador a la entrada chip select del circuito de memoria (cs')
- ❑ La señal BHE' se utiliza para habilitar el banco alto de memoria
- ❑ La señal A_0 se utiliza para habilitar el banco bajo de memoria.
- ❑ Ejemplo de Interfaz de memoria EPROM de la dirección F0000H a FFFFFH. Y SRAM de la 00000H a la 00FFFH.

