

DEPARTAMENTO DE ELECTRONICA

Microprocesadores

1121060

Tema 2

**Arquitectura del procesador y
organización interna de la memoria.**

Microprocesadores 1121060

Tema 2.

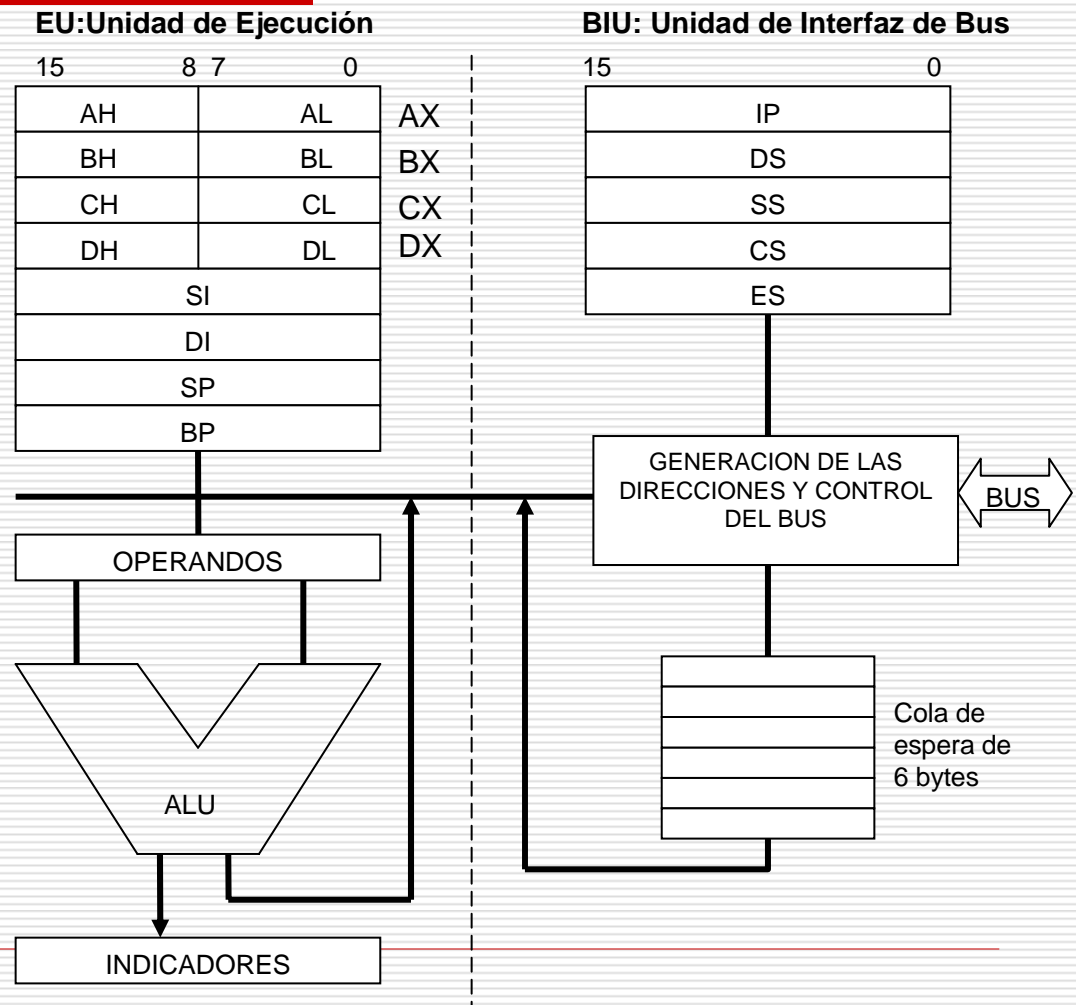
Arquitectura del procesador y organización interna de la memoria.

1. Arquitectura Interna del Microprocesador
 2. Registros
 3. Especificaciones de hardware
 4. Modo de operación
 5. Capacidad de direccionamiento de Memoria
 6. Organización de la memoria
-

Tema 2. Arquitectura del procesador y organización interna de la memoria 8086

Arquitectura Interna del Microprocesador

El microprocesador 8086 se encuentra organizado como dos procesadores separados, la unidad de interfaz de bus (BIU) y la unidad de ejecución (EU).



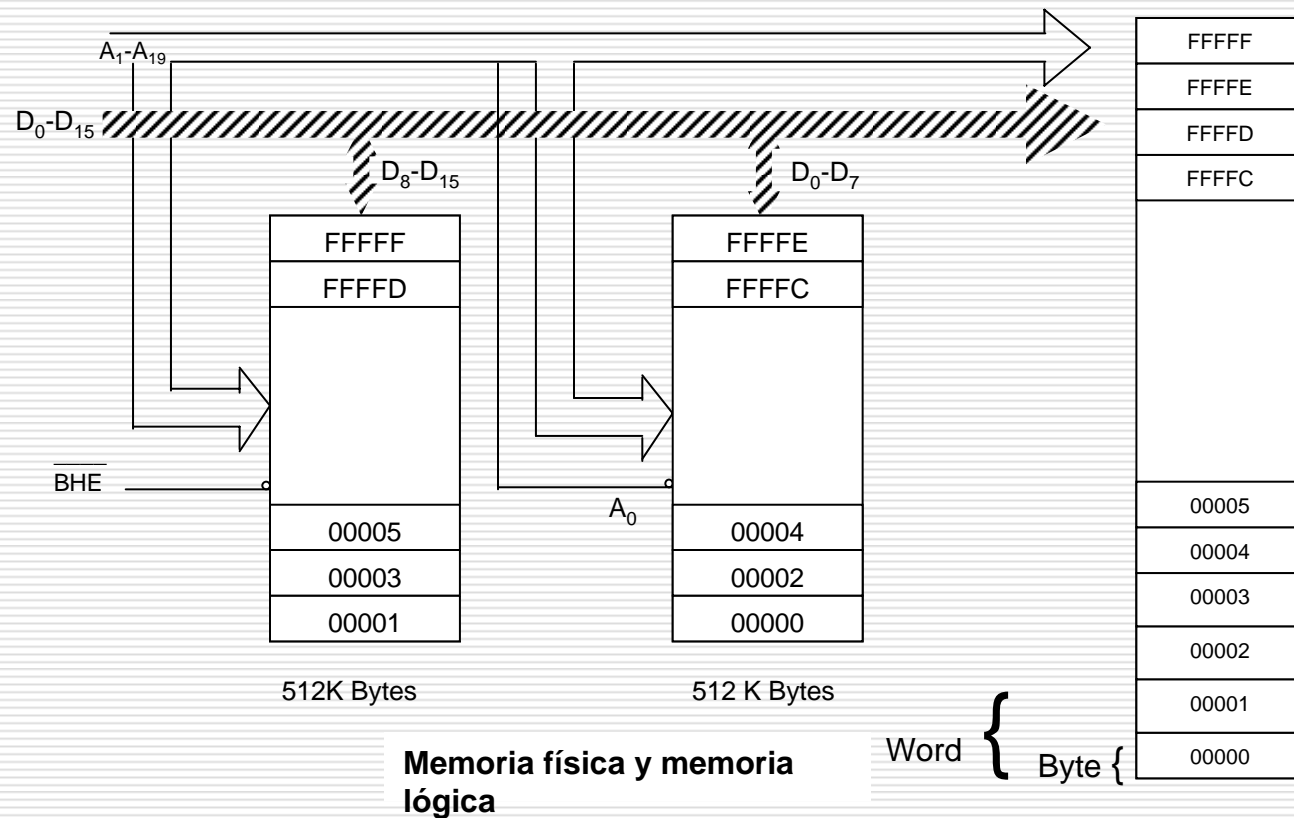
Tema 2. Arquitectura del procesador y organización interna de la memoria 8086

Capacidad de direccionamiento de memoria

- ❑ **MEMORIA:** El espacio de direcciones de un sistema basado en un microprocesador, se referencia como memoria física o memoria lógica. En la mayoría de los casos la estructura de la memoria lógica es diferente de la estructura de memoria física. La memoria lógica es el sistema de memoria como lo ve el programador, mientras que la memoria física es la estructura de hardware actual del sistema de memoria.
 - ❑ La **memoria lógica** del 8086 empieza en la localidad de memoria 00000H y se extiende hasta la localidad FFFFFH. Este rango de direcciones especifica el mega byte de memoria disponible.
 - ❑ **Memoria Física:** Cuando el microprocesador direcciona una palabra de 16 bits de memoria se acceden dos bytes consecutivos. Por ejemplo la palabra de la localidad 00122H se encuentra almacenada en el byte 00122H y 00123H con el byte menos significativo almacenado en la dirección 00122H. Si una doble palabra de 32 bits se almacena en la localidad 00120H esto implica que se almacena en los bytes 00120H, 00121H, 00122H y 00123H con el byte menos significativo almacenado en el byte 00120H y el byte mas significativo en la localidad 00123H.
 - ❑ La memoria física en el 8086 es de 16 bits de ancho. Se encuentra compuesta por dos bancos de memoria cada uno de 512K bytes. La señal BHE' activa el banco alto (de direcciones nones) y la señal Ao activa el banco bajo (de direcciones pares).
-

Tema 2. Arquitectura del procesador y organización interna de la memoria 8086

Organización de la Memoria



Tema 2. Arquitectura del procesador y organización interna de la memoria 8086

Arquitectura Interna del Microprocesador

- ❑ La BIU proporciona las funciones de hardware, incluyendo la generación de direcciones de memoria y E/S para la transferencia de datos entre el procesador y el mundo exterior. Lee las instrucciones de la memoria y las almacena en una FIFO (cola de instrucciones) de 6 bytes, hasta que la EU las capte para ejecutarlas. Así la BIU se encarga de transferir los datos entre la memoria (o los puertos) y la CPU, y mientras tanto la EU está procesando una instrucción. La BIU siempre mantiene llena la cola de espera.
 - ❑ La EU recibe los códigos de instrucción y datos de la BIU, ejecuta esas instrucciones, y almacena los resultados en los registros generales. A través de regresar los datos a la BIU, los datos pueden almacenarse en una localidad de memoria o escritos a un dispositivo de salida. La EU no tiene conexión directa con el sistema de buses. Recibe y transmite todos sus datos a través de la BIU.
-

Tema 2. Arquitectura del procesador y organización interna de la memoria 8086

Especificaciones de hardware

- El 8086 es un microprocesador de 16 bits con una capacidad de direccionamiento de memoria de 1 MB (2²⁰) y un espacio separado de puertos de E/S con una capacidad de 64 KB (2¹⁶). El CPU se comunica con su ambiente externo a través del bus multiplexado de direcciones, datos y status y un bus de control. Para transferir datos o buscar instrucciones, el CPU ejecuta un ciclo de bus.

		Modo Máximo	Modo Mínimo
GND	1	40	VCC
AD14	2	39	AD15
AD13	3	38	A16/S3
AD12	4	37	A17/S4
AD11	5	36	A18/S5
AD10	6	35	A19/S6
AD9	7	34	BHE'/S7
AD8	8	33	MN/MX'
AD7	9	32	RD'
AD6	10	31	RQ'/GT0'
AD5	11	30	RQ'/GT1'
AD4	12	29	LOCK'
AD3	13	28	S2'
AD2	14	27	S1'
AD1	15	26	S0'
AD0	16	25	QS0
NMI	17	24	QS1
INTR	18	23	TEST'
CLK	19	22	READY
GND	20	21	RESET

Configuración de terminales del 8086

Tema 2. Arquitectura del procesador y organización interna de la memoria 8086

Registros

Registros de Datos. Incluye el acumulador AX y registros BX, CX y DX. Cada registro es de 16 bits pero pueden accederse como registros tamaño byte o palabra. Esto es, BX es el registro base de 16 bits mientras que BH hace referencia al byte de mayor orden del registro base. Los registros de datos normalmente se utilizan para almacenar resultados temporales de instrucciones .

- ❑ **AX.- Registro acumulador**, dividido en AH y AL (8 bits cada uno). Al usarlo se genera una instrucción que ocupa un byte menos que si se utilizara otro registro de uso general. Su parte más baja, AL, también tiene esa propiedad. EL registro AL es el equivalente al acumulador de los procesadores anteriores (8080 y 8085). Además hay instrucciones como **DAA; DAS; AAA; AAS; AAM; AAD; LAHF; SAHF; CBW; CWD; IN y OUT** que trabajan con AX o con uno de sus dos bytes (AH o AL). También se utiliza este registro junto con DX) en **multiplicaciones y divisiones**.
 - ❑ **BX.- Registro base**, dividido en BH y BL.
Es el registro base y se utiliza para **direccionamiento indirecto**.
 - ❑ **CX.- Registro contador**, dividido en CH y CL.
Se utiliza como contador en bucles (instrucción **LOOP**), en **operaciones con cadenas** (usando el prefijo **REP**) y en **desplazamientos y rotaciones** (usando el registro CL).
 - ❑ **DX.- Registro de datos**, dividido en DH y DL.
Se utiliza junto con el registro AX en **multiplicaciones y divisiones**, en la instrucción **CWD y en IN y OUT** para direccionamiento indirecto de puertos (el registro DX indica el número de puerto de entrada/ salida).
-

Tema 2. Arquitectura del procesador y organización interna de la memoria 8086

Registros

- ❑ **Registros Apuntadores e Índices.** Son únicamente de 16 bits de ancho y no pueden ser accedidos como byte bajo y alto. Se utilizan como apuntadores a memoria. Por ejemplo, la instrucción MOV AH, [SI] se interpreta con palabras como "Mueve el byte cuya dirección está contenida en el registro SI hacia el registro AH". SI entonces se interpreta como apuntador a la localidad de memoria deseada. Los corchetes alrededor de SI indican una dirección de memoria; esto es, son utilizados para indicar cual es el valor de dirección al que se hace referencia en la instrucción, valor apuntado por SI.
 - ❑ **SP.- Apuntador de pila** (no se puede subdividir). Aunque es un registro de uso general, debe utilizarse solo como apuntador de pila, la cual sirve para almacenar las direcciones de retorno de subrutinas y los datos temporales (mediante las instrucciones PUSH y POP). Al introducir (push) un valor en la pila este registro se decrementa en dos, mientras que al extraer (pop) un valor de la pila este registro se incrementa en dos.
-

Tema 2. Arquitectura del procesador y organización interna de la memoria 8086

Registros

- ❑ **BP.- Apuntador base** (no se puede subdividir).
Generalmente se utiliza para realizar direccionamiento indirecto dentro de la pila.
- ❑ **SI.- Apuntador índice** (no se puede subdividir).
Sirve como apuntador fuente para las operaciones con cadenas. También sirve para realizar direccionamiento indirecto.
- ❑ **DI.- Apuntador destino** (no se puede subdividir).
Sirve como apuntador destino para las operaciones con cadenas. También sirve para realizar direccionamiento indirecto.

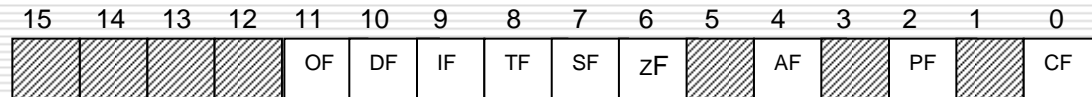
Cualquiera de estos registros puede utilizarse como fuente o destino en operaciones aritméticas y lógicas.

- ❑ El registro IP se incluye en el grupo de apuntadores e índices, pero este registro tiene solo una función –apuntar a la siguiente instrucción a ser buscada por la BIU-. El registro IP es físicamente parte de la BIU y no bajo el control directo del programador, como en el caso de los otros registros apuntadores.
-

Tema 2. Arquitectura del procesador y organización interna de la memoria 8086

Registros

- ❑ Registro de Banderas
- ❑ Registro de indicadores (banderas) 16 bits



- ❑ **CF.**- (bandera de acarreo). Si vale 1, indica que hubo acarreo (en caso de suma) o préstamo (en caso de resta) desde el bit de orden más significativo del resultado. Este indicador se utiliza por instrucciones que suman o restan números que ocupan varios bytes. Las instrucciones de rotación pueden aislar un bit de la memoria o de un registro poniéndolo en el acarreo.
 - ❑ **PF.**- (bandera de paridad). Si vale uno, el resultado tiene paridad par, es decir, un número par de bits en 1. Este indicador se puede utilizar para detectar errores de transmisión.
-

Tema 2. Arquitectura del procesador y organización interna de la memoria 8086

Registros

- ❑ **AF.**- (bandera auxiliar de acarreo). Si vale 1, indica que hubo arrastre o préstamo de nibble (cuatro bits) menos significativo al nibble más significativo. Este indicador se usa con las instrucciones de ajuste decimal.
 - ❑ **ZF.**- (bandera de cero). Si este indicador vale 1, el resultado de la operación es cero.
 - ❑ **SF.**- (bandera de signo). Refleja el bit más significativo del resultado. Como los números negativos se representan en la notación de complemento a dos, ese bit representa el signo; 0 si es positivo, si es negativo.
 - ❑ **OF.**- (bandera de sobreflujo o desbordamiento). Si vale 1, hubo un desborde en una operación aritmética con signo, esto es, un dígito significativo debido a que el tamaño del resultado es mayor que el tamaño del destino.
-

Tema 2. Arquitectura del procesador y organización interna de la memoria 8086

Registros

- **TF.**- (bandera de trap) Cuando TF vale 1, la CPU automáticamente genera una interrupción interna después de cada instrucción (el control se pasa a una dirección especial previamente definida por el programador), permitiendo inspeccionar los resultados del programa a medida que se ejecuta instrucción por instrucción. Normalmente, se pasa el control a un programa que despliega todos los registros y banderas del CPU. Esto se utiliza para depuración.
 - **IF.**- (bandera de interrupción) Cuando IF se activa, la entrada de solicitud de interrupción (enmascarable) externa INTR del 8086 se habilita, esto es, ocurre una interrupción por hardware, el control será transferido a una rutina de servicio de interrupción (ISR). Cuando esta rutina haya terminado, se ejecuta una instrucción IRET (retorno de interrupción y el control será transferido de regreso a la instrucción en el programa principal que se estaba ejecutando cuando la interrupción ocurrió. Las interrupciones internas y la no enmascarable siempre se reconocen independientemente del valor de IF.
 - **DF.**- (bandera de dirección). Esta bandera se utiliza con las instrucciones de cadena (string). Cuando DF se activa, el apuntador de memoria de cadena se decrementará automáticamente; si se pone a cero, el apuntador se incrementará.
-

Tema 2. Arquitectura del procesador y organización interna de la memoria 8086

Registros

Registros de Segmento.

- El último grupo de registros es el llamado registros de segmento. Estos registros son utilizados por la BIU para determinar la dirección de memoria de salida para el procesador cuando se va a leer o escribir a la unidad de memoria o E/S.

Los registros de segmento se llaman:

- **CS**: Registro de segmento de código.
- **DS**: Registro de segmento de datos.
- **ES**: Registro de segmento extra.
- **SS**: Registro de segmento de pila.

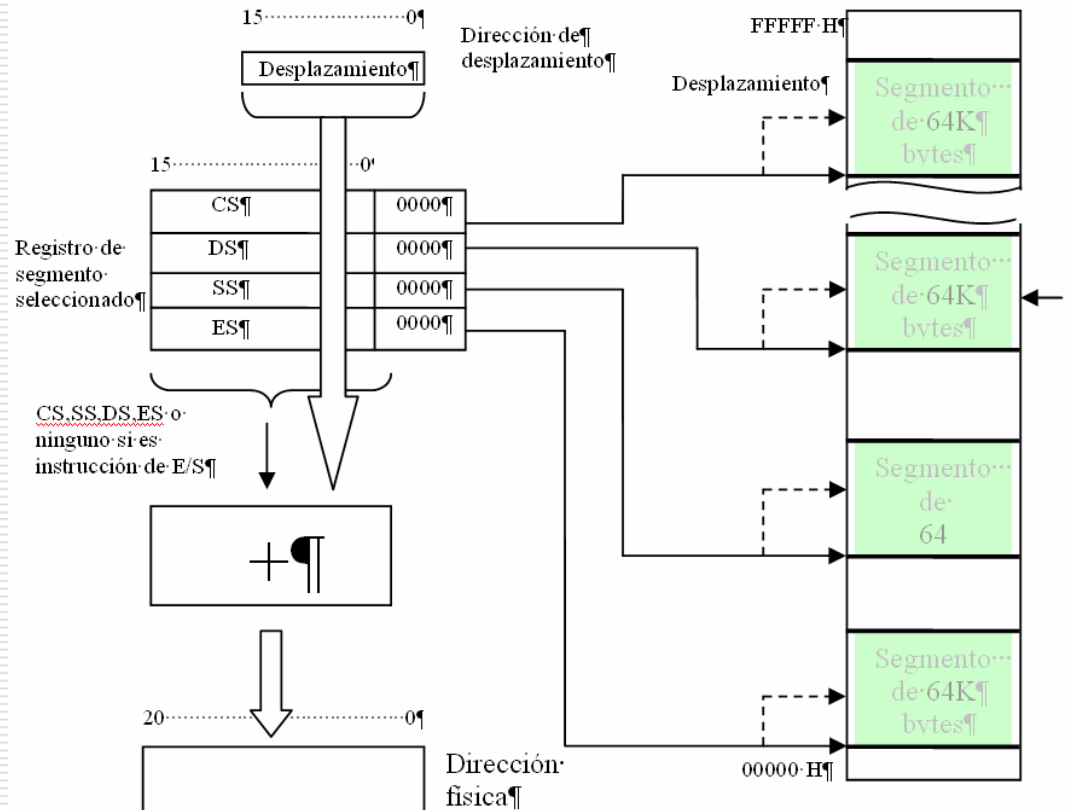
Estos Registros proporcionan la dirección de inicio de cada segmento.

Tema 2. Arquitectura del procesador y organización interna de la memoria 8086

Segmentación de Memoria

- La dirección de inicio de cada segmento se obtiene multiplicando por 10H (añadiendo cuatro ceros binarios al final) el contenido del registro de segmento correspondiente y sumando el desplazamiento, lo cual nos da una dirección de 20 bits (5 cifras hexadecimales).

$$\text{Dir. real} = \text{Reg. de segmento} * 10\text{H} + \text{offset}$$



Modelo de Segmentación de Memoria

Tema 2. Características del Microprocesador 80X86.

Memoria Segmentada

- Direcciones del 8086, segmentos por default y desplazamientos

Registro de Segmento	Desplazamiento (offset)	Uso
CS	IP	Dirección de instrucción
SS	SP o BP	Dirección de pila
DS	BX, DI (si no es instrucción de cadena), SI, o un número de 16 bits	Dirección de dato
ES	DI para instrucciones de cadena	Dirección de destino de cadenas

Tema 2. Arquitectura del procesador y organización interna de la memoria 8086

Prefijo para cambio de segmento

		Prefijo para cambiar de segmento			
		Si se utiliza otro registro, el ensamblador genera un byte de prefijo correspondiente al segmento antes de la instrucción:			
Mnemónico general Op-code Operando	Código Objeto	Mnemónico	Segmento de memoria	Operación simbólica	Descripción
CS:	2E A1 00 10 2E 89 4E 00	MOV AX, CS:MEMWCS ^a MOV CS:[BP],CX	Código Código	AX←CS:[1001H:1000H] CS:[BP]←CX	El segmento default para el operando de memoria fuente o destino es cambiado por el segmento de código.
ES:	26 A1 00 10 26 89 4E 00	MOV AX, ES:MEMWES ^a MOV ES:[BP],CX	Extra Extra	AX←ES:[1001H:1000H] ES:[BP+1:BP]←CX	El segmento default para el operando de memoria fuente o destino es cambiado por el segmento extra.
DS:	3E 89 4E 00	MOV DS:[BP],CX	Datos	DS:[BP+1:BP]←CX	El segmento default para el operando de memoria fuente o destino es cambiado por el segmento de datos.
SS:	36 A1 00 10 36 89 0F	MOV AX,SS:MEMWSS ^a MOV SS:[BP],CX	Pila Pila	AX←SS:[1001H:1000H] SS:[BP+1:BP]←CX	El segmento default para el operando de memoria fuente o destino es cambiado por el segmento de pila.

^aEl ensamblador automáticamente genera el cambio de segmento si las palabra de memoria han sido previamente definidas para asignarles otro segmento. En la tabla se asume que cada palabra empieza en la dirección 1000H en el segmento definido.