

Microprocesadores 1121060

Tema 7. MEMORIA Y SU INTERFAZ.

Tema 7. MEMORIA Y SU INTERFAZ.

1. Tipos de Memoria
 2. Decodificación de Memoria
 3. Interfaz de Memoria con el Microprocesador
-

MEMORIAS

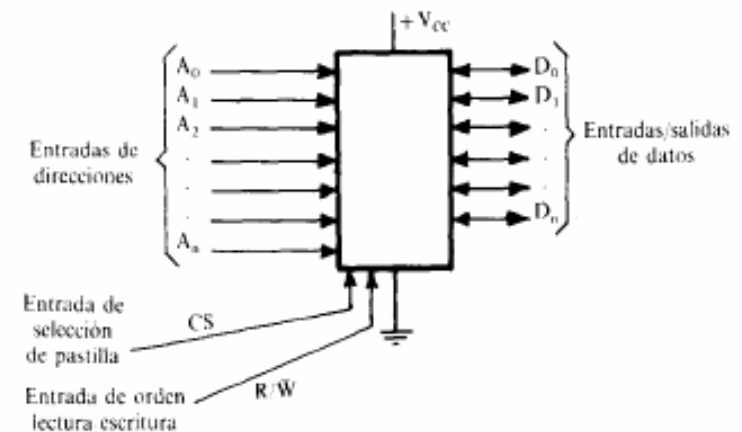
Factores:

- Capacidad de almacenamiento
 - Velocidad de acceso
 - Costo de fabricación
 - Tamaño
-

MEMORIAS

- Las memorias suelen ser de 1,4 u 8 bits/palabra
- La capacidad se acostumbra expresar en K palabras (2K=2048 palabras)

• Terminales



□ Capacidad

Nº de palabras = 2^N donde N es el número de líneas de dirección.

Nº de bits/palabra = Nº de terminales de datos

Nº de bits (celdas) = Nº de palabras x Nº de bits/palabra

Tipos de memorias

<i>Memorias</i>	<i>Tipos</i>	<i>Volátil</i>	<i>Características</i>	<i>Aplicaciones</i>
Memorias de lectura y escritura Nombre genérico: RAM	SRAM	Sí (1)	— Alta velocidad — Bajo consumo (2)	Las que requieren alta velocidad y/o bajo consumo. <i>Ejemplos:</i> memorias <i>cache</i> , equipos alimentados por baterías
	DRAM	Sí	— Alta integración — Necesidad de refresco — Bajo precio	Grandes bancos de memoria
	VRAM	Sí	— Salida serie	Controladores de vídeo
Memorias de sólo lectura Nombre genérico: ROM	ROM por máscara	No	— Bajo precio para series grandes	— Distribución de <i>software</i> — Equipos fabricados en grandes series
	PROM	No	— Programable en laboratorio — No reprogramable	— Realización de lógica combinacional
	EPROM	No	— Programable en laboratorio — Borrable y reprogramable	— Pequeñas series — Prototipos
	EEPROM	No	— Programable y borrable sin sacar del equipo	— Equipos que requieran reprogramación — Sustitución de discos

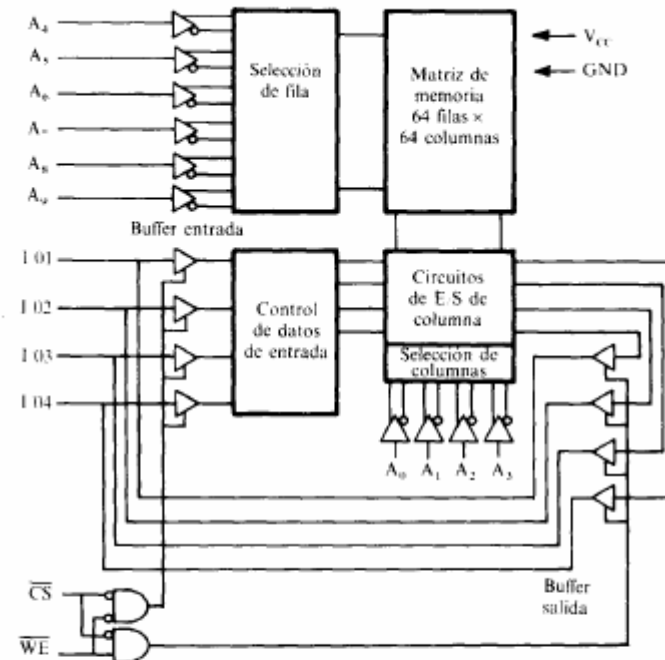
(1) Salvo que sean alimentadas por baterías.

(2) Entre las SRAM pueden encontrarse pastillas de alta velocidad y elevado consumo (tecnología ECL), así como pastillas no tan rápidas pero con un consumo de corriente muy pequeño (tecnología CMOS).

MEMORIAS RAM

- RAM(Random Access Memory)
 - Lectura/Escritura
 - Acceso aleatorio (no secuencial) a las posiciones de memoria
 - Volátiles
- RAM estática (SRAM)
 - Celda: flip-flop
 - Bajo grado de integración
- RAM dinámica (DRAM)
 - Celda: capacitor
 - Necesita refresco por las fugas de corriente
 - Circuito adicional externo para reescribir
 - Tiempo de refresco (cada 2ms o 4 ms)
- RAM salida serie (VRAM)
 - Para controladores de video

• RAM de 1024 palabras (1K) de 4 bits



CS	WE	Buffer entrada	Buffer salida	Estado resultante
0	0	ON	TRI-STATE	Escritura
0	1	TRI-STATE	ON	Lectura
1	0	TRI-STATE	TRI-STATE	Bloqueada
1	1	TRI-STATE	TRI-STATE	Bloqueada

SRAM

□ Ejemplo de memoria RAM

TOSHIBA MOS MEMORY PRODUCTS

2,048 WORD × 8 BIT STATIC RAM

TMM2016AP-90, TMM2016AP-12
TMM2016AP-10, TMM2016AP-15

DESCRIPTION

The TMM2016AP is a 16,384 bits high speed and low power static random access memory organized as 2,048 words by 8 bits and operates from a single 5V supply. Toshiba's high performance device technology provides both high speed and low power features with a maximum access time of 90ns/100ns/120ns/150ns and maximum operating current of 80mA/65mA/65mA/65mA. When CS is a logical

high, the device is placed in a low power standby mode in which maximum standby current is 7mA. Thus the TMM2016AP is most suitable for use in microcomputer peripheral memory where the low power applications are required. The TMM2016AP is fabricated with ion implanted N channel silicon gate MOS technology for high performance and high reliability.

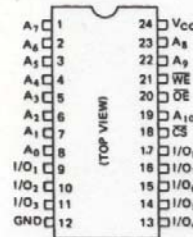
FEATURES

- Access Time and Current

Parameter Part Number	Access Time (Max.)	Operating Current (Max.)	Standby Current (Max.)
TMM2016AP-90	90ns	80mA	7mA
TMM2016AP-10	100ns	65mA	7mA
TMM2016AP-12	120ns	65mA	7mA
TMM2016AP-15	150ns	65mA	7mA

- Single 5V Power Supply
- Fully Static Operation
- Power Down Feature: \overline{CS}
- Output Buffer Control: \overline{OE}
- Three Stage Outputs
- All Inputs and Outputs: Directly TTL Compatible
- Inputs Protected: All inputs have protection against static charge.

PIN CONNECTION



PIN NAMES

SYMBOL	NAME
A ₀ ~ A ₃	Column Address Inputs
A ₄ ~ A ₁₀	Row Address Inputs
CS	Chip Select Input
WE	Write Enable Input
I/O ₁ ~ I/O ₈	Data Input/Output
\overline{OE}	Output Enable Input
V _{CC}	Power (5V)
GND	Ground

BLOCK DIAGRAM

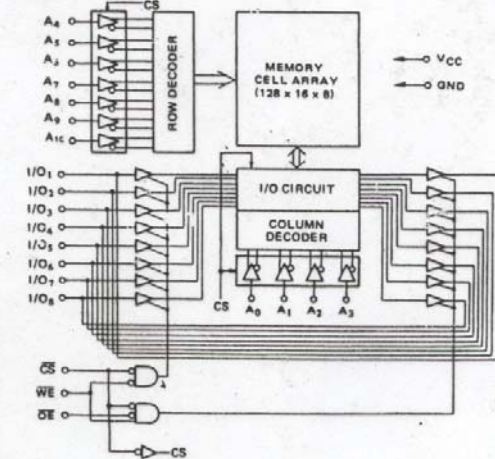


Figure 7.15 Specifications for the TMM2016 2K × 8 static RAM. (Courtesy of Toshiba Corp.)

Memoria ROM

- **ROM (Read Only Memory)**
 - Sólo lectura
 - Acceso aleatorio (no secuencial) a las posiciones de memoria
 - Se escribe una vez al grabar los datos
 - Según la forma de grabación: ROM, PROM, EPROM, EEPROM
 - ROM: programable por máscara por el fabricante
- **PROM (Programmable ROM)**
 - El usuario la graba una vez mediante un equipo especial (programador de PROM)
 - Programación: fusión de fusibles internos
- **EPROM (Erasable PROM)**
 - Permite grabar/borrar un número de veces
 - Programación: inducción de cargas
 - Borrado: exposición a rayos UV
- **EEPROM (Electrically EPROM)**
 - Programación: incorporan hardware específico de escritura (sin sacar del equipo)

8-BIT EPROM FAMILY

(Am2764A, Am27128A, Am27256, Am27512)

DISTINCTIVE CHARACTERISTICS

- Fast access times — as low as 150 ns
- Low-power dissipation
- Programming voltage — 12.5 V
- Single +5-V power supply
- TTL-compatible inputs and outputs
- ±10% power-supply tolerance available

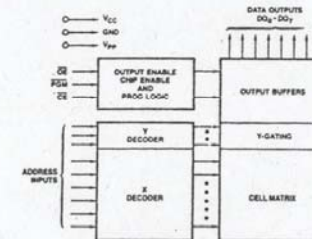
GENERAL DESCRIPTION

The Am2764A, Am27128A, Am27256, and the Am27512 are ultraviolet Erasable Programmable Read-Only Memories (EPROMs) and are organized as 8 bits per word. All standard EPROMs offer access times of 250 ns, allowing operation with high-speed microprocessors without any Wait states. Some of AMD's EPROMs have access times of as fast as 150 ns.

To eliminate bus contention on a multiple-bus microprocessor system, all AMD EPROMs offer separate output enable (OE) and chip enable (CE) controls.

All signals are TTL levels, including programming signals. Bit locations may be programmed singly, in blocks, or at random. To reduce programming time, AMD's EPROMs may be programmed using 1- μ s pulses.

BLOCK DIAGRAM

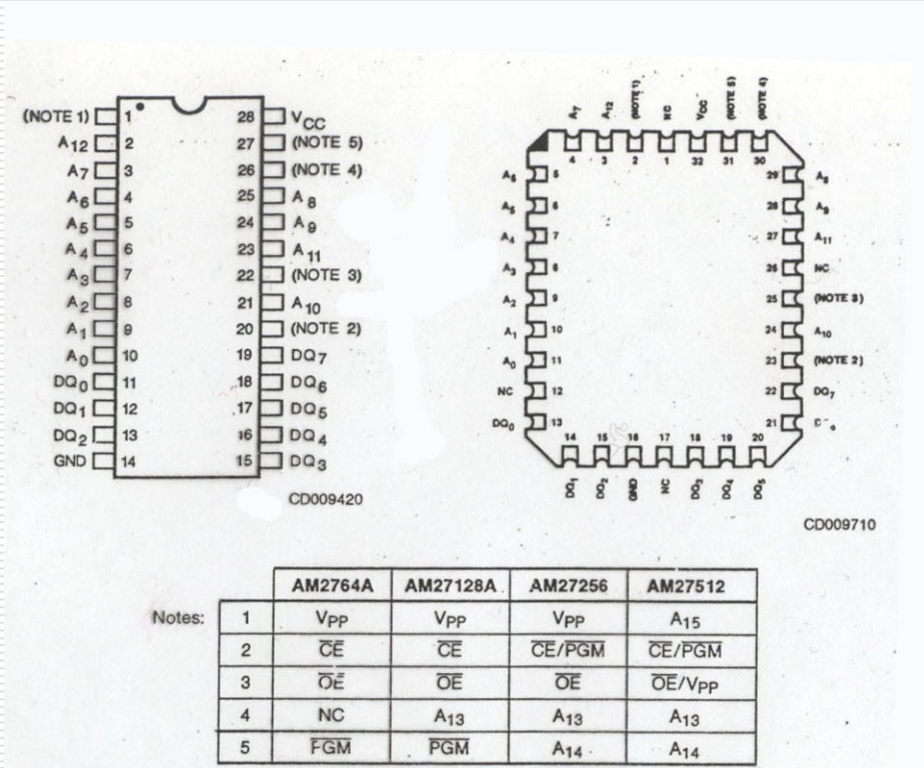


BD0000231

PRODUCT SELECTOR GUIDE

Family Part No.	Am2764A, Am27128A, Am27256, Am27512					
Ordering Part No.	2764A-1	—	2764A-2	2764A	2764A-3	2764A-4
±5% V _{CC} Tolerance	27128A-1	—	27128A-2	27128A	27128A-3	27128A-4
	—	27256-1	27256-2	27256	27256-3	27256-4
	—	—	—	27512	27512-3	27512-4
±10% V _{CC} Tolerance	2764A-15	—	2764A-20	2764A-25	2764A-30	2764A-45
	27128A-15	—	27128A-20	27128A-25	27128A-30	27128A-45
	—	27256-17	27256-20	27256-25	27256-30	27256-45
	—	—	—	27512-25	27512-30	27512-45
I _{ACC} (ns)	150	170	200	250	300	450
t _{CE} (ns)	150	170	200	250	300	450
t _{OE} (ns)	75	75	75	100	110	150

EPROM



MEMORIAS RAM DINAMICAS (DRAM)

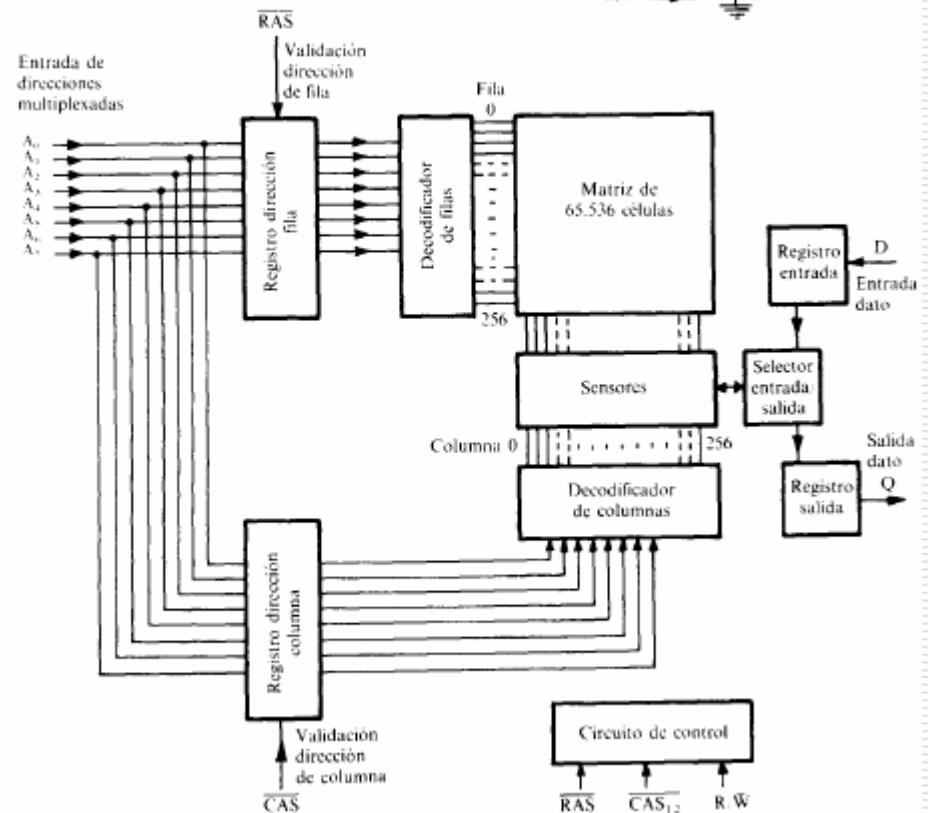
- Celda básica
 - Pequeño capacitor integrado MOS
 - Cargado= "1"
 - Descargado = "0"
 - Ventajas
 - Muy alto nivel de integración
 - Menor costo
 - Problema: descarga por fugas de corriente
 - Solución recarga periódica (refresco)
 - Proceso de refresco
 - Proceso: leer y, si está cargada, recargar
 - Necesita circuitos adicionales e implica que la DRAM no está disponible todo el tiempo
 - Intervalo de refresco típico: cada 2ms o 4 ms
 - Se refrescan a la vez filas o columnas gracias a la estructura matricial
 - Cada fila o columna se puede considerar como una página de memoria que se procesa a la vez.
-

Elementos de una DRAM

Elementos

- Registro (latch) de dirección de fila
- Registro (latch) de dirección de columna
- Decodificador de filas y decodificador de columnas
- Selector de E/S (Read o Write)
- Registros de salida y entrada

DRAM de 64Kx1



Elementos de una DRAM

- Direcciones multiplexadas
 - Solo tiene la mitad de líneas de direcciones. Por ejemplo para 16 bits, la dirección se presenta primero los 8 bits menos significativos y luego los 8 bits mas significativos.
 - Las señales de control de los registros de direcciones (RAS' y CAS') permiten cargar cada palabra en un registro.
 - Sensores
 - En lectura: interpretan el estado de la celda y lo envían a la salida Q como estado lógico.
 - En escritura: interpretan el estado lógico en la entrada D para cargar o no el capacitor.
 - En refresco: restituyen el nivel de carga de cada capacitor (simultáneamente por filas)
 - Circuitos de control
 - Control según los valores de RAS', CAS' y R/W'
 - La activación del chip se realiza a través de RAS', CAS' y R/W' (sustituyen a CS')
-

Modo de Refresco

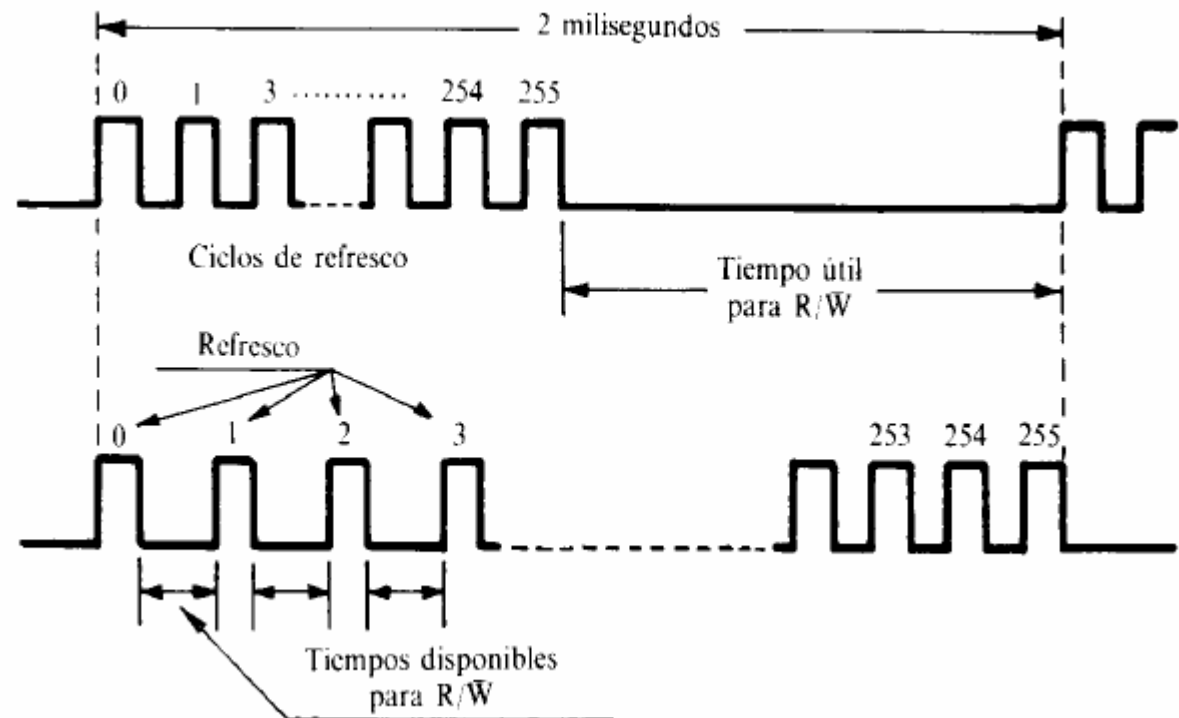
■ Dependen del modo de direccionar las filas

- Modo ráfaga

- Cada 2 ms, o 4 ms. Se direccionan todas las filas de la DRAM que se refrescan consecutivamente.
- El resto del tiempo es para operaciones R/W'

- Modo distribuido

- Las operaciones R/W' se intercalan con el direccionamiento de las filas con fines de refresco.



Factor de calidad de Memoria DRAM

- Para refrescar una memoria de 256 renglones en 4 ms, cada renglón se debe refrescar cada $15.6 \mu s$ a fin de cumplir con la especificación del refresco.
 - Si el 8086 trabaja a una frecuencia de 5MHz ($T=200ns$), se necesitan 800 ns para una lectura o una escritura. Por lo tanto $15.6 \mu s / 800ns = 19.53$, es decir que por cada 19 lecturas o escrituras en la memoria, el sistema de memoria debe pasar por un ciclo de refresco o perderá la información.
 - A pesar de que esto representa una pérdida de 5% del tiempo de la computadora, este precio resulta bajo respecto a los beneficios obtenidos al emplear memorias DRAM.
-

Elementos externos para DRAM

- Elementos externos necesarios
 - Coordinan R/W' y refresco
 - Se encuentran en controladores de DRAM
 - 1. Multiplexor de direcciones:
 - Convierte una dirección de N bits en dos bloques sucesivos de N/2 bits.
 - 2. Contador:
 - Direcciona las filas secuencialmente para el refresco.
 - 3. Circuito de control:
 - Genera las señales de RAS', CAS' y R/W' para las operaciones de R/W' y de refresco.
 - Gobierna el multiplexor, el contador y el sentido del buffer bidireccional del bus de datos.
 - Recibe órdenes de lectura, escritura y petición de refresco desde la CPU que es la que coordina las operaciones.
 - Genera la señal de aviso de refresco hacia la CPU.
-

Ejemplo de una DRAM

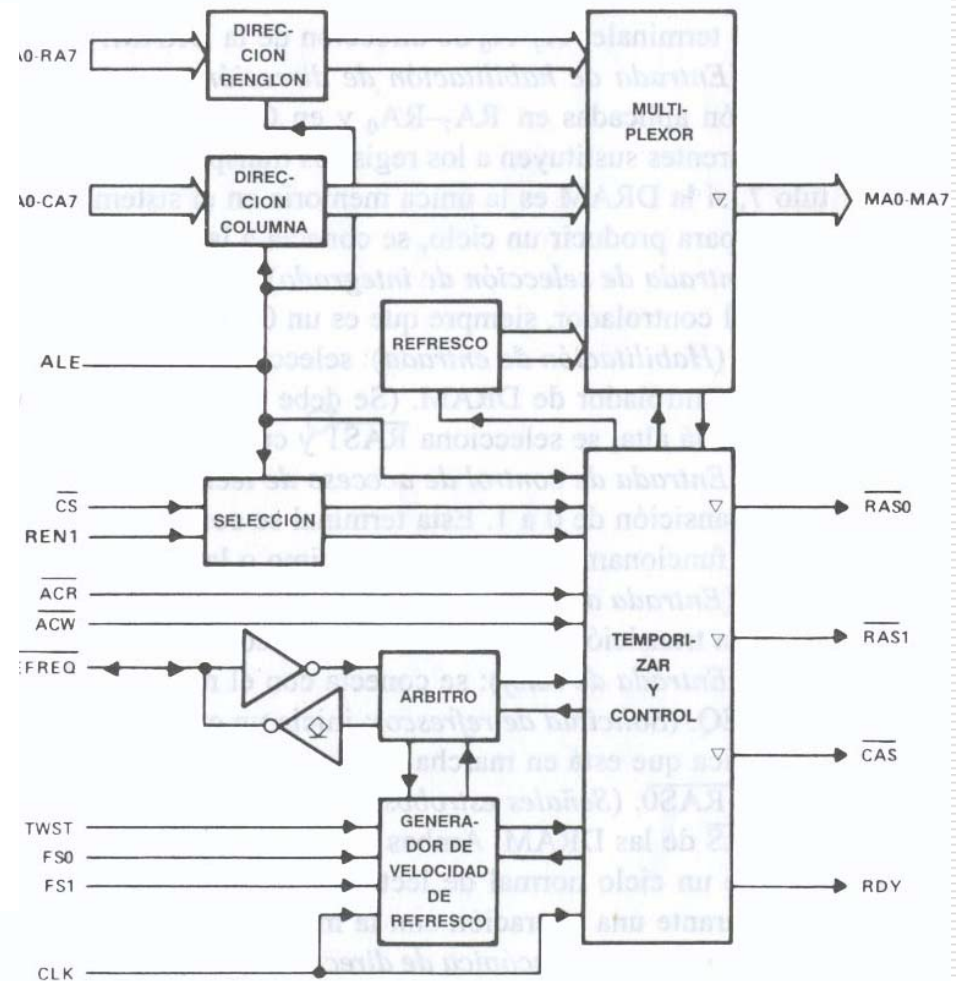


FIGURA 8-34 La estructura interna de una DRAM de 256K x 1. Se verá que cada una de las 256 palabras internas tiene 1025 bits de ancho.

La organización de una DRAM incluye una serie de renglones y columnas. Una DRAM de 256K x1 tiene 256 columnas, cada una con 256 bits o renglones organizados en cuatro secciones de 64K bits cada una

Controlador de DRAM TMS 4500

- RA0-RA7:** Entradas de dirección de renglón
- CA0-CA7:** Entradas de dirección de columna
- MA0-MA7:** Salidas de dirección de memoria
- ALE:** Entrada de habilitación de dirección
- CS':** Entrada de selección del integrado
- REN1:** de acceso de escritura
- CLK:** Entrada de reloj
- REFREQ:** Solicitud de refresco
- RAS1', RAS0':** Señales Selecciona uno de los bancos de la DRAM conectados al controlador
- ACR':** Entrada de control de acceso de lectura
- ACW':** Entrada de control habilitación de dirección de renglón
- CAS':** Señal de habilitación de columna
- RDY:** Salida lista, se activa cuando el controlador de DRAM efectúa un ciclo interno de refresco
- TWST:** Entrada de temporización/espera
- FS0, FS1:** Entradas de selección de frecuencia



Controlador de DRAM TMS 4500

TABLA 8-4 Selección de modo para el controlador de DRAM TMS4500

<i>TWST</i>	<i>FS1</i>	<i>FS0</i>	<i>Estados de espera</i>	<i>Veloc. de refresco</i>	<i>Reloj mínimo (MHz)</i>	<i>Frec. de refresco (KHz)</i>	<i>Ciclos por refresco</i>
0	0	0	0	External	—	REFREQ	4
0	0	1	0	CLK÷31	1.984	64-95	3
0	1	0	0	CLK÷46	2.944	64-85	3
0	1	1	0	CLK÷61	3.904	64-82	4
1	0	0	1	CLK÷46	2.944	64-85	3
1	0	1	1	CLK÷61	3.904	64-80	4
1	1	0	1	CLK÷76	4.864	64-77	4
1	1	1	1	CLK÷91	5.824	64-88	4

15. FS0, FS1. (*Entradas de selección de frecuencia*): seleccionan diversas opciones de modos y frecuencias (tabla 8-4).

Controlador de DRAM TMS 4500

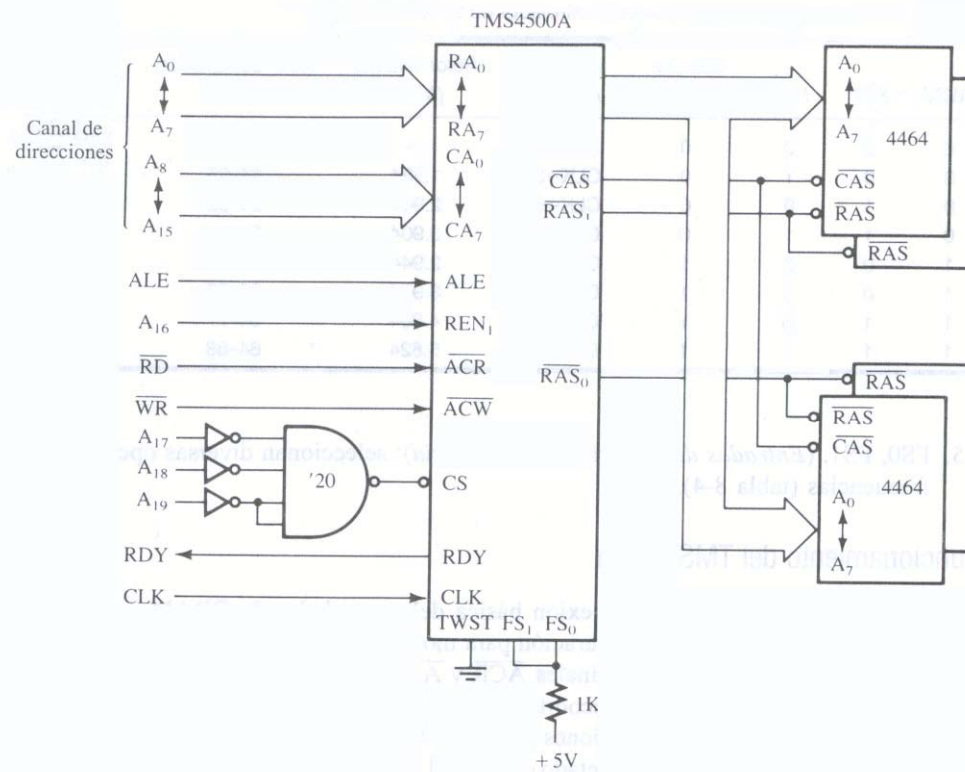


FIGURA 8-37 Controlador de DRAM TMS4500A utilizado para una interface de 128K bytes de DRAM. En este caso, cuatro DRAM TMS4464 constituyen la memoria situada en las direcciones 00000H-1FFFFH.

Tema 6. Mapeo y Decodificación de memoria.

- Mapeo de Memoria
 - Bancos de Memoria
 - Decodificación de bancos de Memoria
 - Interfaz de Memoria con el 8086
-

Decodificación de la memoria

¿Cómo se realiza la lectura de memoria con el 8086?.

- De acuerdo al diagrama de tiempos del ciclo de bus. Para leer la memoria el 8086 realiza los siguientes pasos:
 1. Coloca una dirección de 20 bits en el bus de direcciones
 2. Coloca la señal M/I0' en 1 para indicar que se trata de una dirección de memoria.
 3. Coloca la señal RD' en 0 para indicar que se requiere una operación de lectura.
 4. Espera a que la memoria coloque el dato a ser leído
-

Decodificación de la memoria

¿Cómo se realiza la escritura de memoria con el 8086?.

- De acuerdo al diagrama de tiempos del ciclo de bus. Para escribir en la memoria el 8086 realiza los siguientes pasos:
 1. Coloca una dirección de 20 bits en el bus de direcciones
 2. Coloca la señal M/IO' en 1 para indicar que se trata de una dirección de memoria.
 3. Coloca la señal WR' en 0 para indicar que se requiere una operación de escritura.
 4. Envía el dato a escribir en la memoria.
-

Decodificación de la memoria

Conceptos básicos en la interfaz de memoria.

- La función principal de la interfaz de memoria es la de permitir al procesador leer o escribir en un registro dado de la memoria. Para realizar esta operación, el microprocesador deberá:
 1. Ser capaz de activar el circuito integrado
 2. Identificar el registro que se va a acceder
 3. Habilitar el buffer apropiado
-

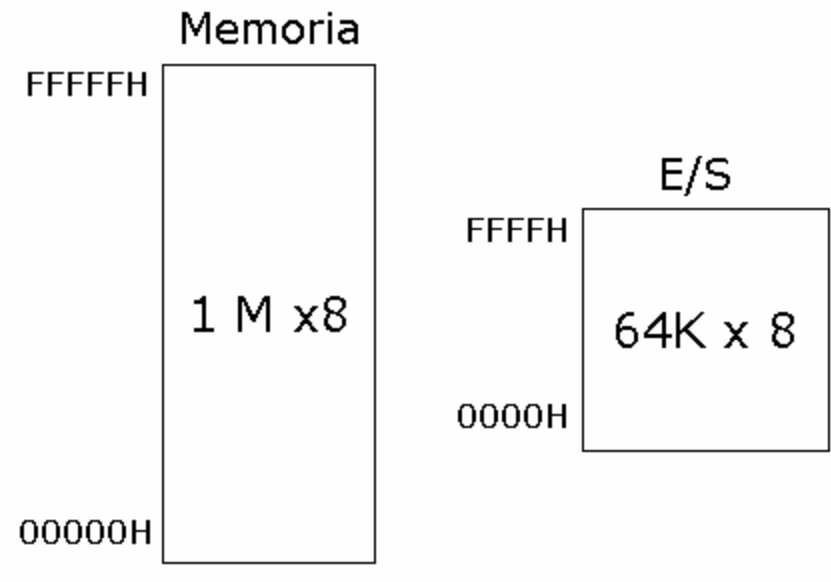
Decodificación de la Memoria

1. Activar el circuito integrado

- Para conectar un dispositivo de memoria con el microprocesador, se requiere decodificar la dirección enviada a la memoria. Esta decodificación provoca que la memoria funcione en una sección única del mapa de memoria, por ejemplo de la dirección FC000H a la FFFFFH. Y en cualquier otra dirección fuera de este rango no se activará la memoria.
-

Mapa de memoria

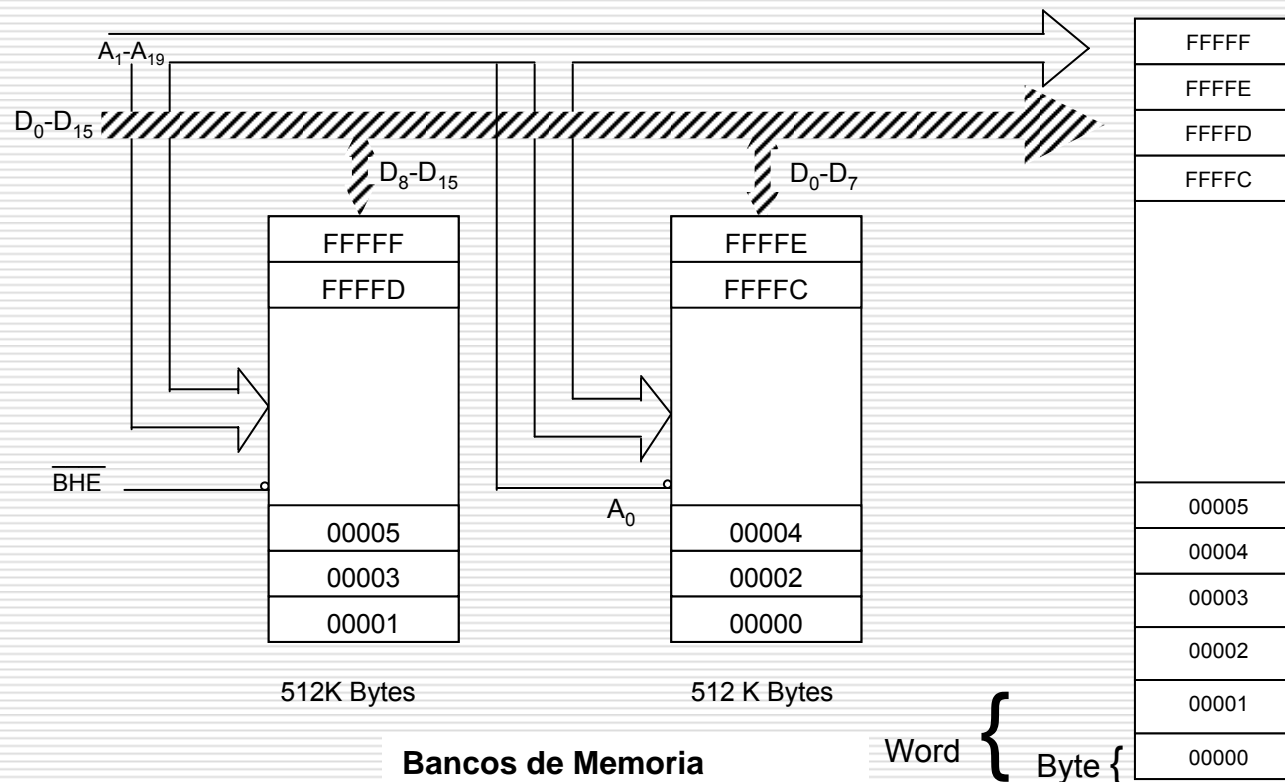
- El mapa de memoria es de 1MB y se debe determinar el rango de direcciones en el que trabajará la memoria.



Decodificación de la Memoria

- El procesador 8086 debe ser capaz de escribir o leer datos en cualquier localidad de memoria de 8 o de 16 bits. Esto significa que el bus de datos de 16 bits se encuentra dividido en dos bloques o bancos de memoria de 8 bits cada uno, de tal forma que el procesador puede acceder (leer o escribir) en cualquiera de los dos bancos (si trabaja en 8 bits) o en ambos bancos (si trabaja en 16 bits). El banco bajo (low) contiene todas las localidades de memoria con direcciones pares y el banco alto (high) contiene los registros de memoria con direcciones impares.
-

Bancos de Memoria



Decodificación de la Memoria

Es importante recordar que el 8086 utiliza las señales BHE' (habilitación del bus alto) y Ao (bit de dirección Ao) para seleccionar uno o ambos bancos de memoria de acuerdo al tamaño de la instrucción que se está ejecutando para la transferencia de datos fuera del procesador y considerando la siguiente tabla.

<u>BHE'</u>	<u>Ao</u>	<u>Función</u>
0	0	Habilitación de ambos bancos 16 bits (D15-D0)
0	1	Habilitación banco alto 8 bits dirección non (D15-D8)
1	0	Habilitación banco bajo 8 bits dirección par (D7-D0)
1	1	No se habilita ningún banco

Interfaz de Memoria

- Para realizar la interfaz con la memoria y seleccionar el banco de memoria correcto, se tienen dos alternativas.
 - Implementar una señal de escritura separada para seleccionar la escritura a cada uno de los bancos de memoria, o
 - Se emplean decodificadores separados para seleccionar cada banco a través de la señal CS' (habilitación del circuito)
-

Decodificadores separados de bancos:

- ❑ Para realizar la interfaz siempre se deben agregar las memorias de dos en dos, una para ocupar direcciones pares y la otra para ocupar direcciones nones. Por ejemplo si queremos interconectar dos memorias EPROM con capacidad de 128Kx8 cada una ($128K = 2^{17}$).
 - ❑ La capacidad total por las dos memorias será 256K bytes, esto representa un total de 18 líneas de direcciones ($2^{18} = 256K$), es decir, una cuarta parte de la capacidad de direccionamiento del 8086.
-

Decodificadores separados de bancos:

A ₁₉	A ₁₈	A ₁₇	A ₁₆	A ₁₅	A ₁₄	A ₁₃	A ₁₂	A ₁₁	A ₁₀	A ₉	A ₈	A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀
X	X	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Si colocamos las 20 líneas de direcciones que tiene el 8086 y marcamos el rango de valores posibles con 18 líneas (A17-A0) la dirección más baja posible será la indicada con 18 ceros, y la dirección más alta posible será la indicada por los 18 bits en unos. Estas 18 líneas nos permitirán seleccionar la dirección del registro que se desea acceder dentro de los 256K bytes constituidos por Las dos memorias que se desean interconectar con el microprocesador.

Las dos líneas más significativas marcadas con "X" deberán contener el valor fijo que determina la ubicación dentro del mapa de memoria (de 1 MB) en donde queremos colocar la memoria.

Mapeo de Memoria

Mapa de memoria: Si el mega de memoria lo dividimos en bloques de 256K bytes, tenemos:

$$\frac{1 \text{ mega}}{256\text{K}} = \frac{2^{20}}{2^{18}} = 2^2 = 4$$

4 combinaciones o bloques de 256K

Mapa de Memoria

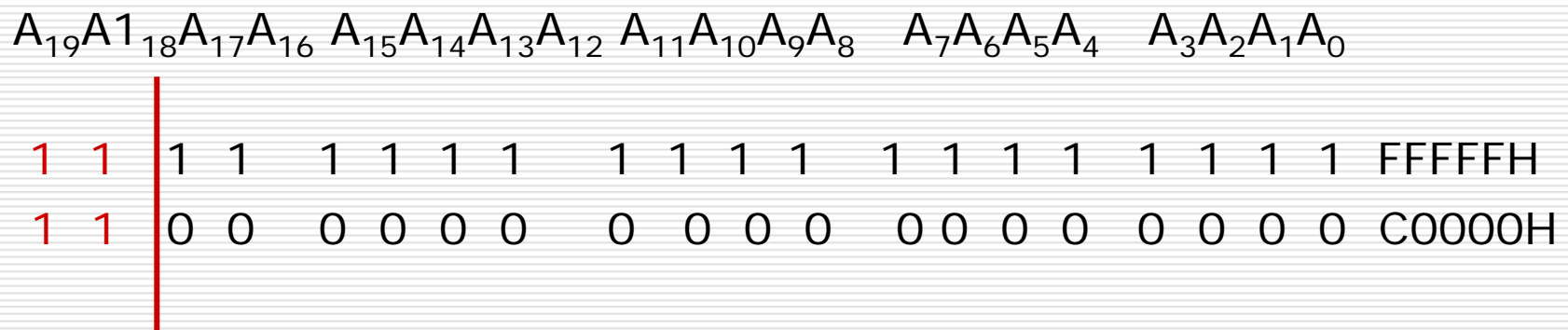
		A19	A18
FFFFFFH	256K	1	1
C0000H			
DFFFFFFH	256K	1	0
80000H			
7FFFFFFH	256K	0	1
40000H			
3FFFFFFH	256K	0	0
00000H			

En el mapa de Memoria:

- ❑ La memoria EPROM es recomendable colocarla en la parte más alta de memoria (de la dirección FFFFFH hacia abajo) y en caso de requerir más memoria se agregará en las direcciones inmediatas inferiores. Esto es debido a que siempre que se genere un RESET al sistema, la dirección de inicio del sistema es la FFFF0H.
 - ❑ La memoria RAM por el contrario se recomienda colocarla en la parte mas baja de memoria (a partir de la dirección 00000H) que es la zona de vectores de interrupción.
-

Decodificadores separados de bancos:

De tal manera que para interconectar estas dos memorias EPROM con el 8086 en la parte más alta de memoria, el rango de direcciones queda de la siguiente forma:



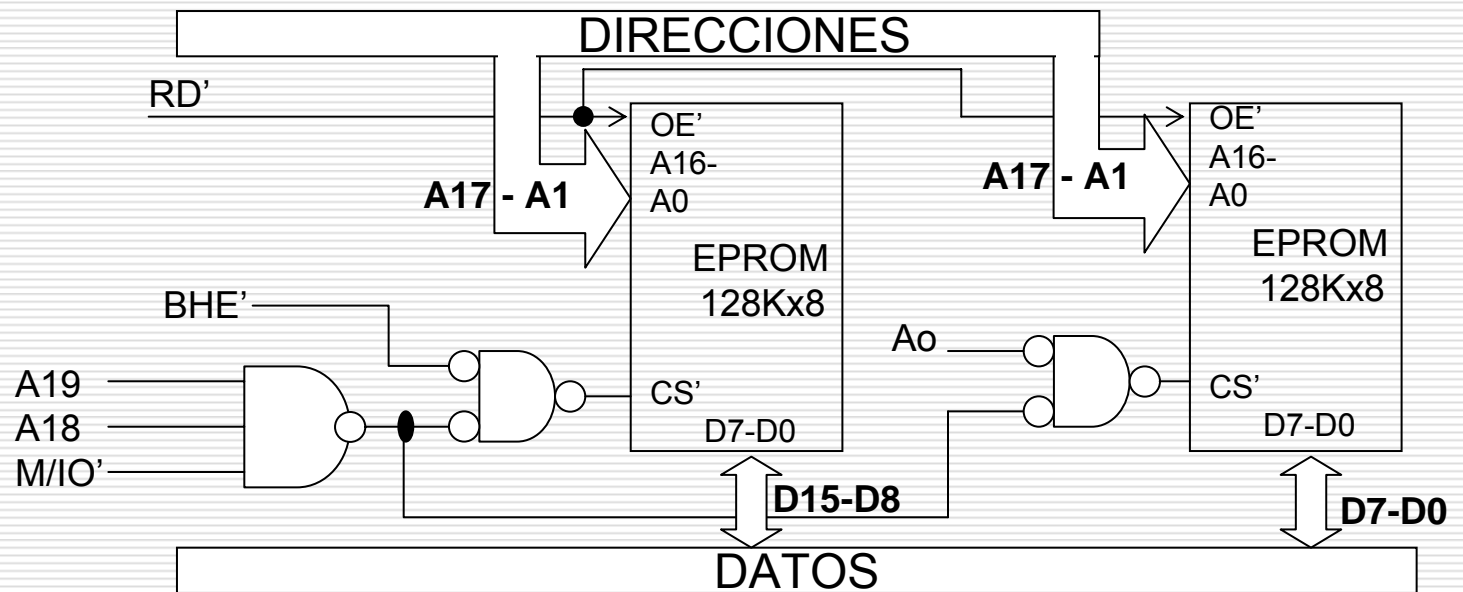
Observe que los bits A_{19} y A_{18} , se encuentran en 11 para emplear la parte alta de la memoria y se mantienen con ese valor fijo durante todo el rango de direcciones.

Decodificadores separados de bancos:

- ❑ Las líneas con valor fijo se decodifican junto con la señal M/IO' (En valor "1" para asegurar que es dirección de memoria), esta salida se conectan con una NAND junto con BHE' (banco alto) o con Ao (banco bajo) a la terminal CS' (selector del chip) para habilitar la memoria siempre que se genere una dirección dentro del rango seleccionado.
 - ❑ Las señales BHE' y Ao se utilizan para habilitar el banco de memoria correspondiente dependiendo si se trata de un acceso a localidad de 8 bits con dirección par (banco izquierdo), o con dirección non (banco derecho) o tamaño palabra (16 bits), ambos bancos.
 - ❑ Las líneas que varían se conectan a las líneas de entrada de dirección de la memoria con A1 como línea de dirección menos significativa.
-

Decodificadores separados de bancos:

Ejemplo de Interfaz de Memorias EPROM de 128Kx8



Decodificadores separados de bancos:

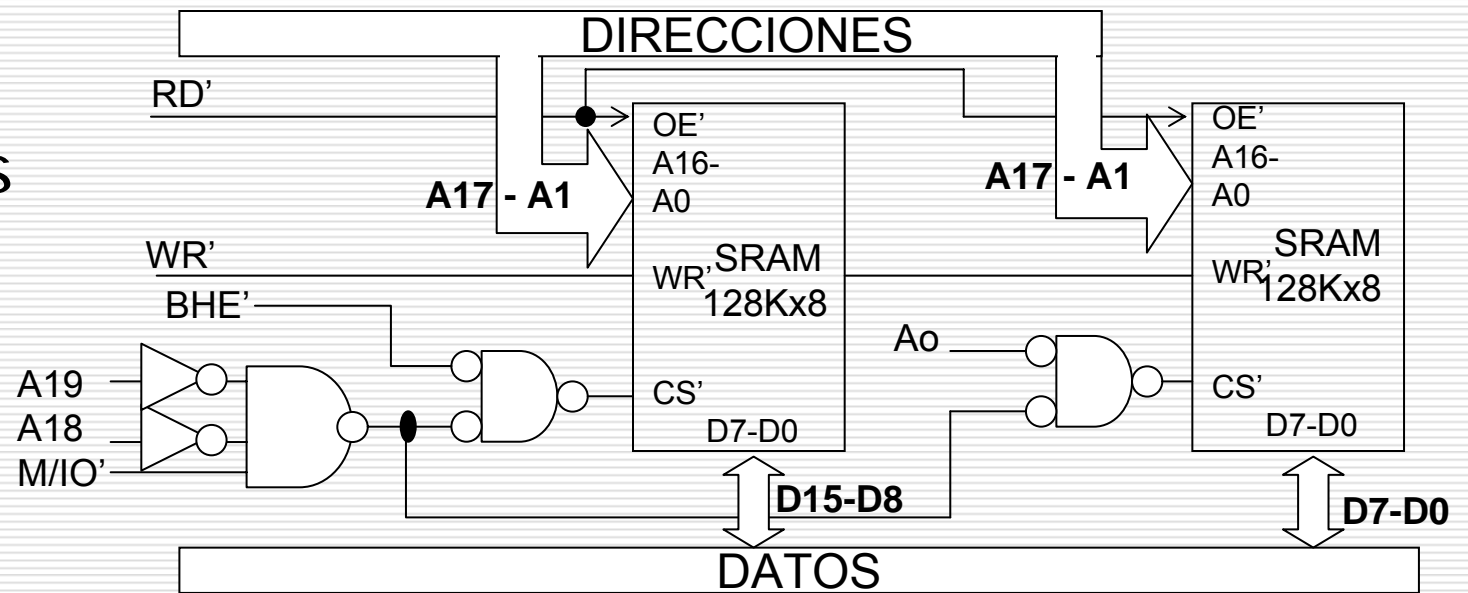
Si ahora se agregan dos memorias RAM estáticas de 128K x 8, cada una decodificadas en la parte más baja de memoria, éstas estarán situadas en el rango de direcciones de la 00000H a la 3FFFFH.

$A_{19}A_{18}$	$A_{17}A_{16}$	$A_{15}A_{14}A_{13}A_{12}$	$A_{11}A_{10}A_9A_8$	$A_7A_6A_5A_4$	$A_3A_2A_1A_0$	
0 0	1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	3FFFFH
0 0	0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	00000H

Observe que los bits A_{19} y A_{18} , se encuentran en 00 para emplear la parte baja de la memoria y se mantienen con ese valor fijo durante todo el rango de direcciones.

Decodificadores separados de bancos:

Interfaz
de
Memorias
SRAM
de
128Kx8

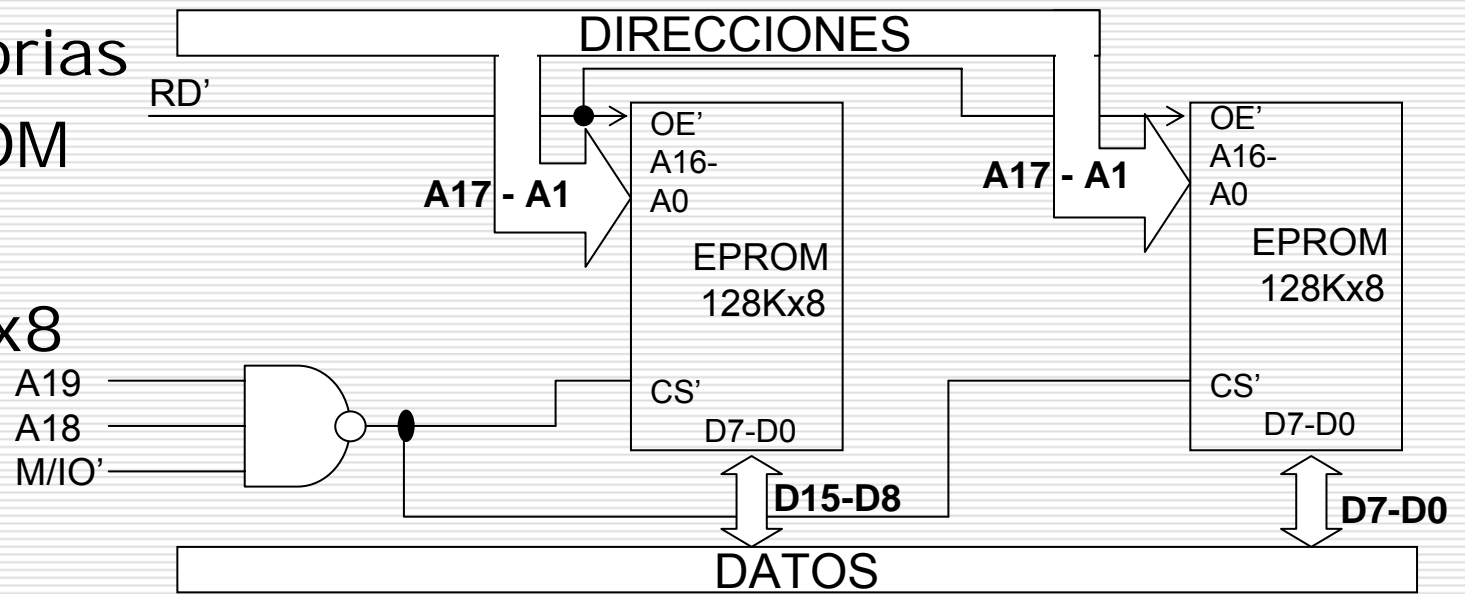


Señal de escritura separada para cada banco de memoria

- ❑ Otra forma para manejar la selección de bancos consiste en implementar un pulso de escritura separado para cada banco de memoria. La decodificación para la habilitación del chip (CS') es la misma señal para ambos bancos.
 - ❑ Para generar la señal de pulsos de escritura separados para cada banco de memoria se requiere una compuerta OR a la que se conecta la señal WR' con A_0 para el banco bajo y otra compuerta OR a la que se conecta BHE' y WR' para el banco alto.
 - ❑ Las líneas con valor fijo se decodifican junto con la señal M/IO' (En valor "1" para asegurar que es dirección de memoria) y se conectan a la terminal CS' (selector del chip) de ambos bancos de memoria para habilitarlas siempre que se genere una dirección dentro del rango seleccionado.
 - ❑ Las líneas que varían se conectan a las líneas de entrada de dirección de la memoria con A_1 como línea de dirección menos significativa.
-

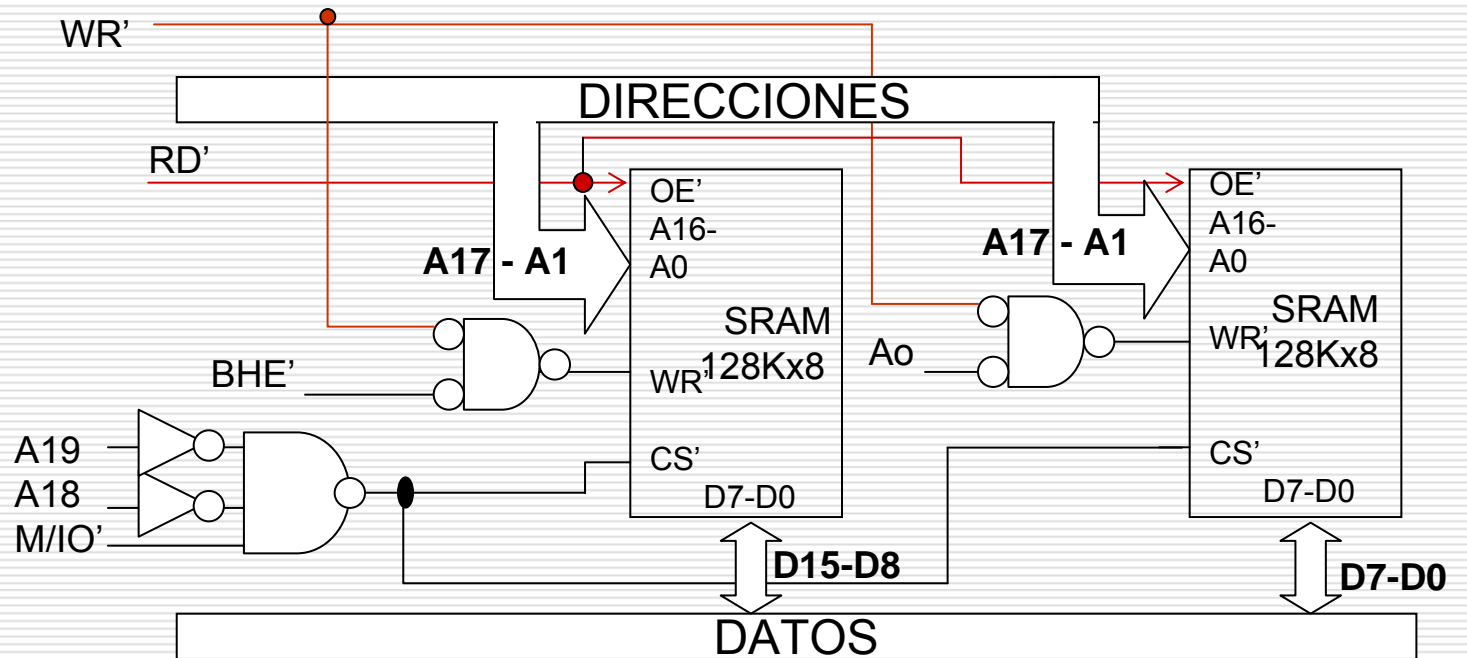
Señal de escritura separada para cada banco de memoria

- ❑ Interfaz de
- ❑ Memorias
- ❑ EPROM
- ❑ de
- ❑ 128Kx8



Señal de escritura separada para cada banco de memoria

Interfaz
de
Memorias
SRAM
de
128Kx8



RESUMEN DE INTERFAZ DE MEMORIA

- ❑ Conectar las líneas del bus de dirección requeridas a las líneas de direcciones del circuito integrado de memoria.
 - ❑ Decodificar las líneas de direcciones fijas junto con la señal M/IO' , a través de una compuerta NAND o con decodificador.
 - ❑ La señal BHE' se utiliza para habilitar el banco alto de memoria, ya sea en la entrada CS' junto con la decodificación del punto anterior o bien con la señal WR' para una RAM.
 - ❑ La señal A_0 se utiliza para habilitar el banco bajo de memoria, ya sea en la entrada CS' junto con la decodificación de líneas de direcciones fijas con la señal WR' para una RAM.
-

Interfaz de memoria

- ❑ Conectar las líneas del bus de dirección requeridas a las líneas de direcciones del circuito integrado de memoria.
- ❑ Decodificar las líneas de direcciones fijas con una compuerta nand o con decodificador a la entrada chip select del circuito de memoria (cs')
- ❑ La señal BHE' se utiliza para habilitar el banco alto de memoria
- ❑ La señal A_0 se utiliza para habilitar el banco bajo de memoria.
- ❑ Ejemplo de Interfaz de memoria EPROM de la dirección F0000H a FFFFFH. Y SRAM de la 00000H a la 00FFFH.

