

Microprocesadores 1121060

**Tema 8 Bis. Puertos de E/S y su
interfaz**

Interrupciones 8259A y Timer.

Tema 8. Interrupciones y Timer 8254A.

1. Interrupciones.

1.1 Procesamiento básico de las Interrupciones

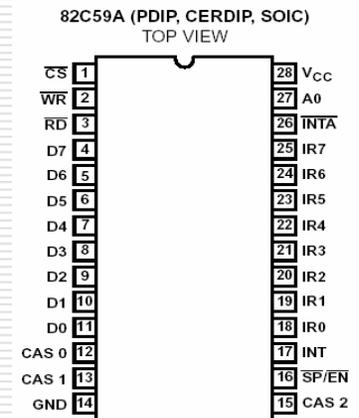
1.2 Interrupciones por hardware en el 8086

1.3 Controlador de Interrupciones 8259A

2. Timer 8254A

Controlador de Interrupciones Programable 8259A

- CS: Habilita la comunicación con la CPU.
- WR: Permite al 8259 aceptar comandos de la CPU.
- RD: Permite al 8259 dejar la información en el bus de datos.
- D7..D0: Bus de datos bidireccional, por el que se transmite la información de control/estado y el número de vector de interrupción.
- CAS0..CAS2: Líneas de cascada, actúan como salida en el 8259 maestro y como entrada en los 8259 esclavos, en un sistema con varios 8259 interconectados, constituyendo un bus local.
- SP/-EN: Pin de doble función: en el *buffered mode* del 8259 actuará como -EN, para habilitar los buffers del bus; en el modo normal indicará si el 8259 es maestro (1) o esclavo (0).
- INT: Conectado a la patilla INT de la CPU para producir la interrupción cuando llegue el momento.



Funcional Diagram

- IR0..IR7: Líneas asíncronas de petición de interrupción. Una petición de interrupción se ejecuta manteniendo IR en alto hasta que se recibe el reconocimiento (modo por flancos) o simplemente poniendo en alto la línea IR (modo por niveles).
- INTA: Línea de reconocimiento de interrupción, por medio de esta línea se obliga al 8259 a depositar en el bus la información del vector de interrupción. INTA es independiente de -CS.
- A0: En conjunción con -CS, -WR y -RD es empleada para enviar las palabras de comando al 8259 y para solicitar información al mismo. Suele ir conectada a la línea A0 de la CPU.

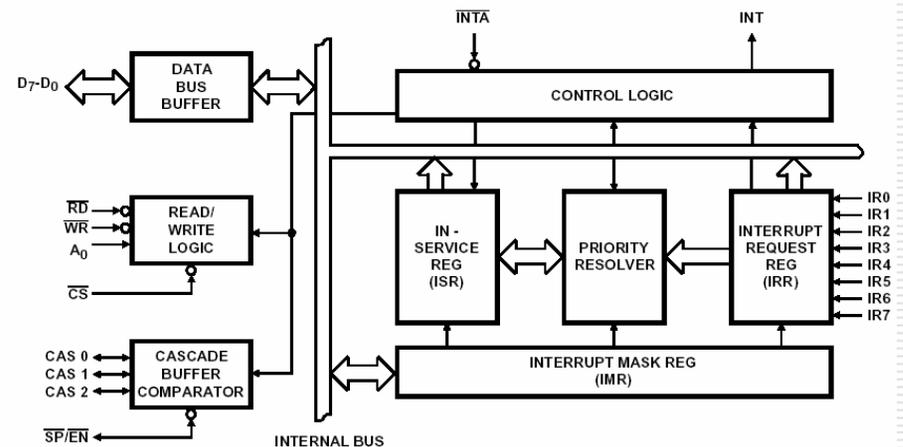


FIGURE 1.

Controlador de Interrupciones Programable 8259A

Registros Internos

IRR: Registro de Solicitud de Interrupción (Interrupt Request Register) almacena todas las solicitudes de interrupción pendientes

ISR: Registro de Servicio de Interrupción (In Service Register). Almacena todas las interrupciones que están siendo atendidas en un momento dado.

La **lógica de gestión de prioridad** determina qué interrupción, de las solicitadas en el IRR, debe ser atendida primero: cuando lleguen las señales INTA dicha interrupción será la primera procesada y su bit correspondiente se activará en el ISR.

El **IMR: Registro de Máscara de Interrupción** (Interrupt Mask Register), se utiliza para enmascarar (inhibir) la correspondiente entrada de interrupción.

El **buffer del bus de datos** conecta al 8259 con el bus de datos del procesador su diseño en 3 estados permite desconectarlo cuando sea necesario; a través de este bus circulan las palabras de control y la información de estado. La **lógica de lectura y escritura** acepta los comandos que envía la CPU: aquí hay registros para almacenar las palabras de inicialización y operación que envía el procesador; también sirve para transferir el estado del 8259 hacia el bus de datos. El **buffer de cascada/comparador** almacena y compara las identificaciones de todos los 8259 que posea el sistema: el 8259 maestro envía la identificación del 8259 esclavo en las líneas CAS, los 8259 esclavos la leen y el implicado en la operación coloca en el bus de datos la dirección (vector) de la rutina que atenderá la interrupción en los 2 próximos ciclos INTA.

Functional Diagram

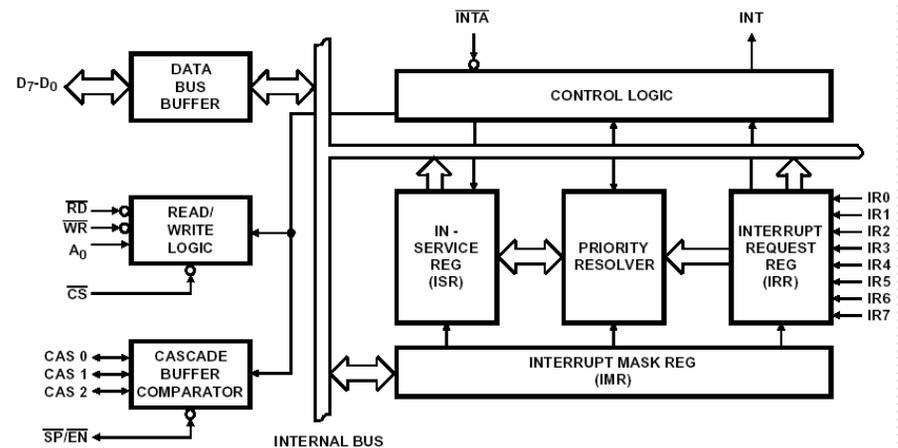


FIGURE 1.

Controlador de Interrupciones Programable 8259A Intrfaz

- ❑ Para interconectar con el procesador, la salida INT se conecta a la entrada INTR del 8086 y su entrada INTA- se conecta a la salida INTA- del 8086.
- ❑ La salida EN- se usa para deshabilitar al tranceptor HC245 cuando el PIC debe enviar un dato hacia la CPU.
- ❑ Las líneas CAS0-CAS2 no se conectan, pues éstas sólo se usan cuando varios 8259s se conectan en cascada, cosa que aquí no ocurre.
- ❑ El 8259A cuenta con tres registros: el registro IRR salva todos los niveles que están pidiendo servicio; el registro ISR salva todos los niveles que están recibiendo servicio; y el registro IMR salva los niveles de interrupción que están permitidos.
- ❑ Cuando una o más de las señales **IRQx** está en "1", el PIC pone en "1" los bits correspondientes. A continuación el 8259 evalúa dichas peticiones y si procede activa la salida INT para avisar a la CPU. Si así procede la CPU reconoce la interrupción activando la señal **INTA-** (un pulso) por lo que el 8259A pone a "1" el bit de más prioridad del registro ISR y el correspondiente bit del registro IRR es regresado a "0".
- ❑ El 8086 manda un segundo pulso por su salida INTA- con lo que el 8259A envía el número de interrupción (ocho bits) por el bus de datos.
- ❑ Para que el 8259A regrese a "0" el bit del registro ISR debe recibir el comando EOI (fin de interrupción) desde la CPU, a menos que esté funcionando en el modo AEOI, en cuyo caso regresa dicho bit a "0" en cuanto recibe el segundo pulso en INTA-.

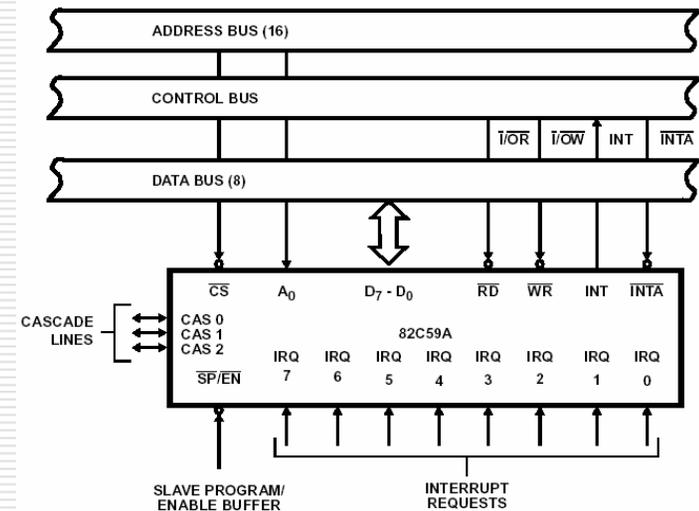


FIGURE 5. 82C59A STANDARD SYSTEM BUS INTERFACE

Controlador de Interrupciones Programable 8259A

Intrfaz Maestro-Esclavo

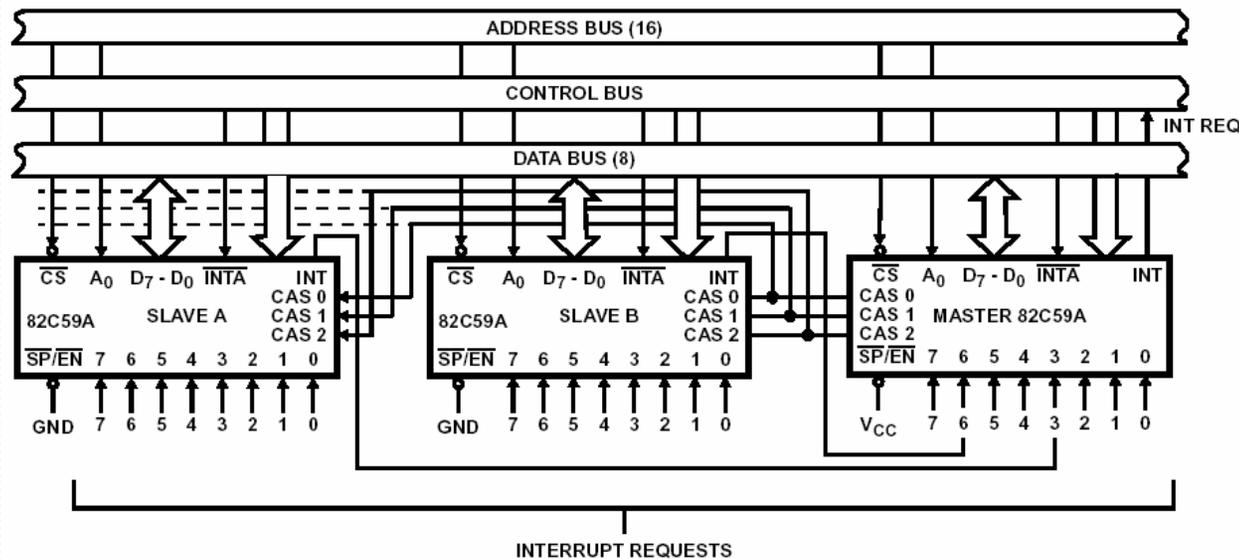


FIGURE 11. CASCADING THE 82C59A

- Se pueden interconectar hasta 8 esclavos al 8259 maestro para contar con un total de 64 dispositivos que interrumpen.

Controlador de Interrupciones Programable 8259A Programación

- ❑ Programación del 8259
- ❑ • El 8259 acepta dos tipos de comandos generados por la CPU:
 - ❑ – ICW (Initialization Command Word) palabras que inicializan el 8259,
 - ❑ – OCW (Operation Command Word) que permiten cambiar la modalidad de funcionamiento por default.
- ❑ • La comunicación con el 8259 emplea las líneas /WR y /RD, así como A0. El hecho de que exista una sola línea de direcciones implica que el 8259 sólo ocupa dos direcciones de puerto de E/S en el espacio de entrada y salida del procesador.

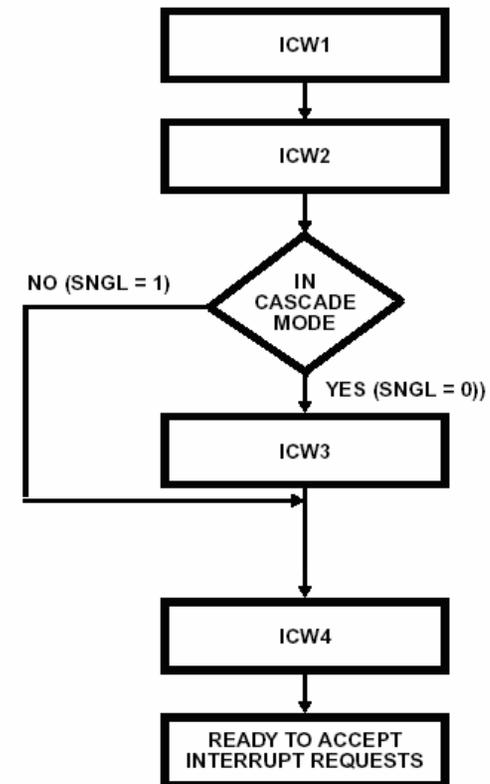
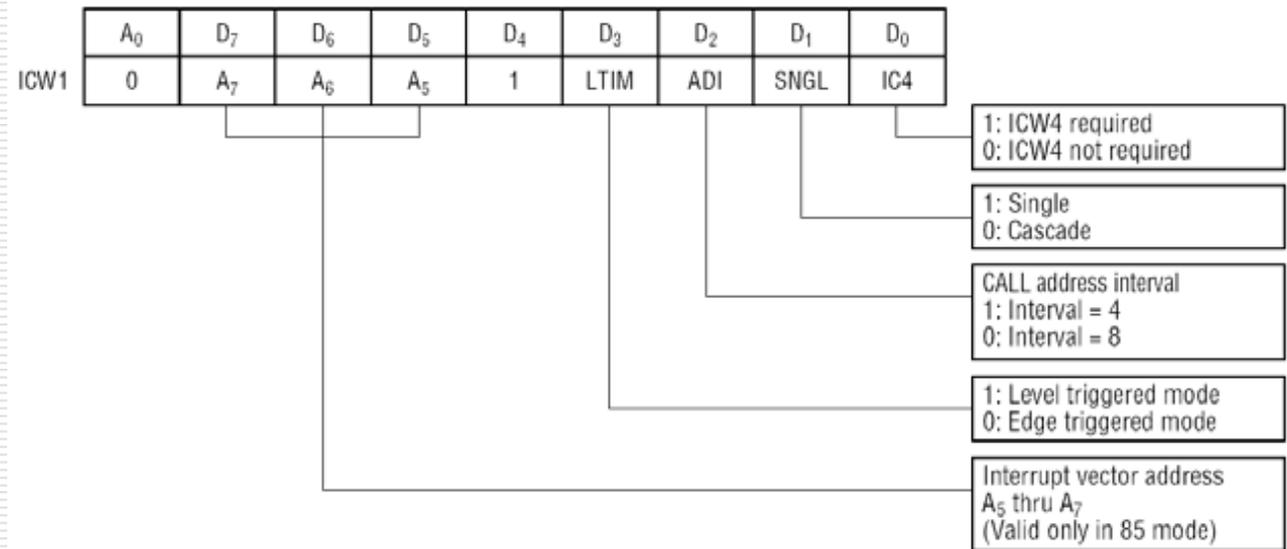


FIGURE 6. 82C59A INITIALIZATION SEQUENCE

Controlador de Interrupciones Programable 8259A Programación

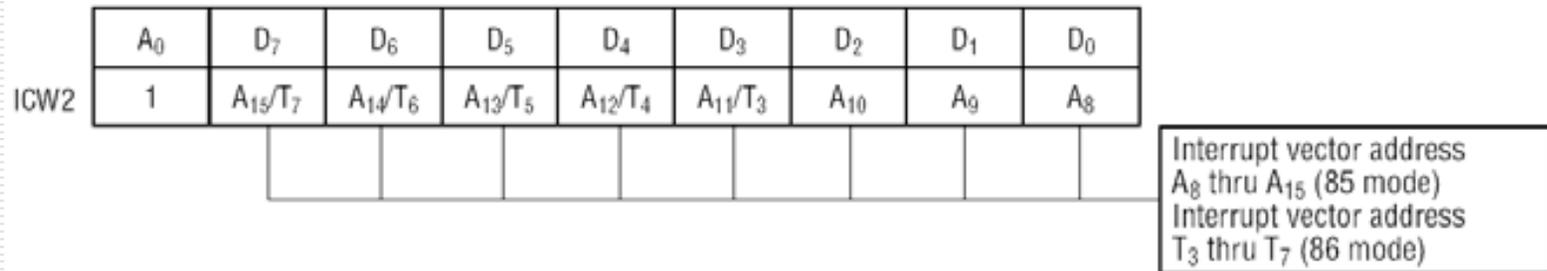
Palabras ICW's



Notas: Si SNGL es 1 significa que el 8259 es único en el sistema y no será enviada ICW3. Si IC4 es 0, tampoco será enviada ICW4. En el 8080/85, las diversas interrupciones generan CALL's a 8 direcciones adyacentes separadas 4 u 8 bytes (según indique ADI): para componer la dirección, el 8259 inserta A₀..A₄ (o A₀..A₅) convenientemente, según la interrupción que se trate. En el 8086, A₇..A₅ y ADI son ignoradas.

Controlador de Interrupciones Programable 8259A

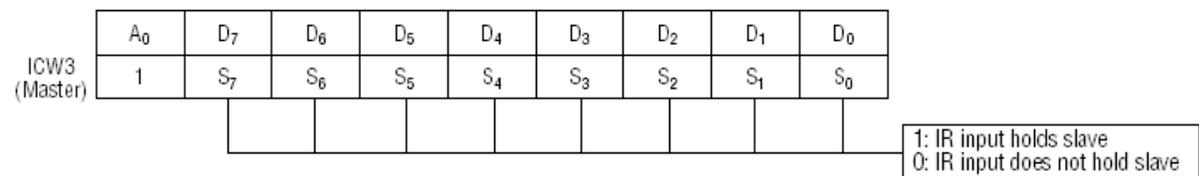
Programación



- ❑ ICW2: Se envía con A₀=1, para diferenciarlo de ICW0 (hacer OUT a la siguiente dirección de puerto).
 - ❑ Notas: T₇..T₃ determinan los cinco bits más significativos del número de vector de interrupción a invocar (los 3 bajos los suministra el 8259 según la entrada interrupción que se trate).
-

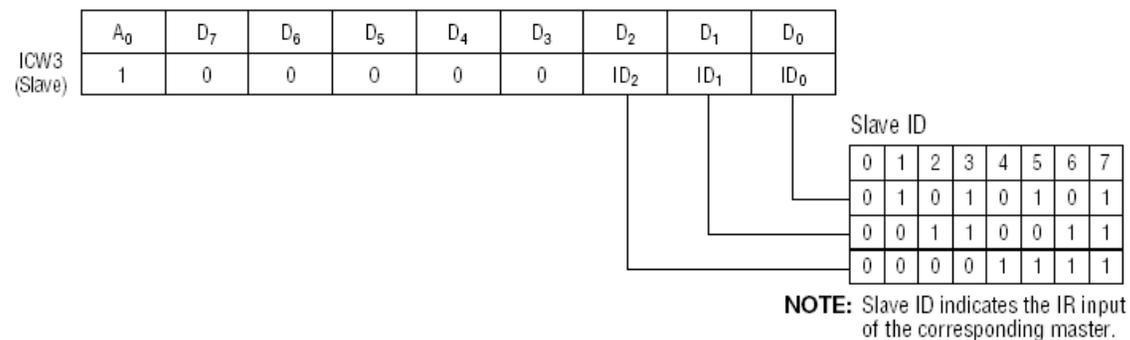
Controlador de Interrupciones Programable 8259A Programación

– Formato de ICW3 a enviar a un 8259 maestro:



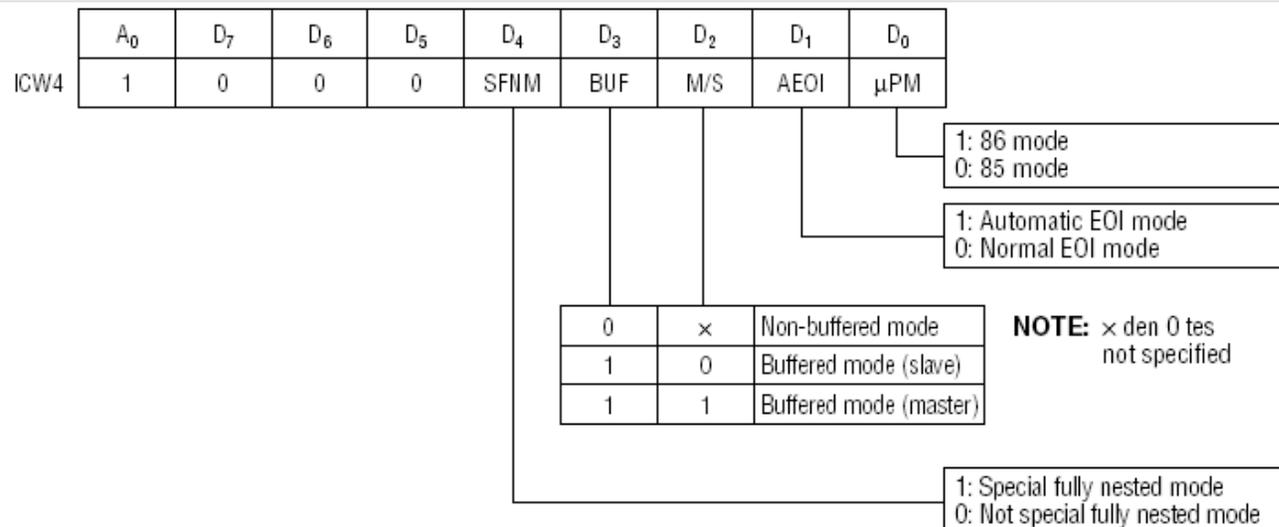
- ❑ Se utiliza para indicar al maestro en qué entradas tiene conectados esclavos 8259's
- ❑ ICW3: Se envía sólo en el caso de que haya más de un 8259 en el sistema (bit SNGL de ICW1 a cero), en caso contrario en su lugar se enviaría ICW4.

– Formato de ICW3 a enviar a un 8259 esclavo para que memorice de qué línea IR del maestro se conecta:



Controlador de Interrupciones Programable 8259A Programación

- ❑ ICW4: Se envía sólo si el bit IC4=1 en ICW1, con objeto de colocar el 8259 en un modo de operación distinto del establecido por defecto (que equivale a poner a "0" todos los bits de ICW4, empleado en los μp 8080/8085).
- ❑ Nótese que con el 8086 es obligatorio enviar ICW4 para seleccionar esta CPU.

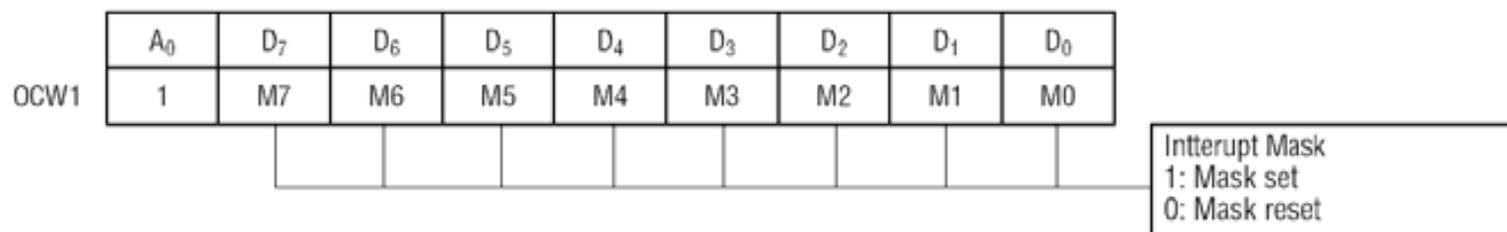


Controlador de Interrupciones Programable 8259A

Programación

OCW's (Palabras de control de operación)

- Una vez inicializado, el 8259 está listo para procesar las interrupciones que se produzcan. Sin embargo, durante su funcionamiento normal está capacitado para recibir comandos de control por parte de la CPU.
- OCW1: Este comando activa y borra bits en el IMR (Interrupt Mask Register), lo cual enmascara o desenmascara las entradas correspondientes de solicitud de interrupción del 8259A. Un bit en 1 significa interrupción enmascarada (inhibida) y en 0, interrupción habilitada.

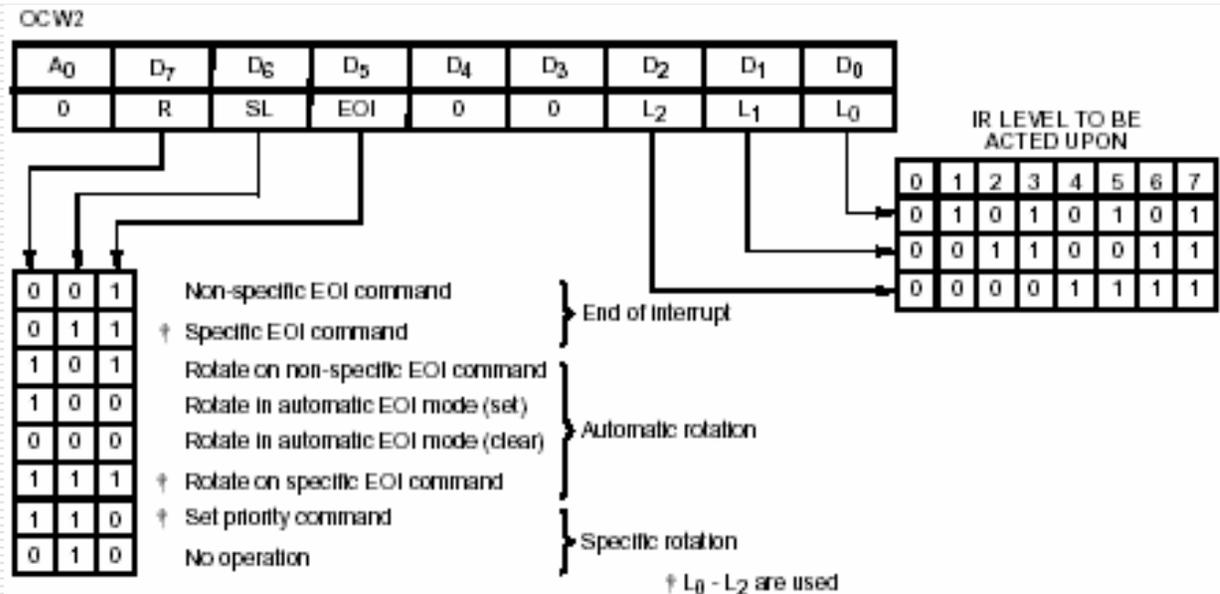


Controlador de Interrupciones Programable 8259A Programación

La palabra OCW2 solo se programa cuando se selecciona el modo NORMAL AEOI para el 8259 en la palabra ICW4. En este caso, la OCW selecciona la forma en que el 8259A responde a una interrupción. Esos modos son los siguientes:

Final no específico de la interrupción. Un comando enviado por el procedimiento de servicio de la interrupción para señalar el final de interrupción. El 8259 determina en forma automática cual nivel de interrupción estaba activo y restablece el bit correspondiente del registro de estado de las interrupciones. Al restablecer al bit en el registro de estado se permite que la interrupción actúe de nuevo o que se produzca una interrupción de menor prioridad.

Final específico de la interrupción. Un comando que permite restablecer una solicitud específica de interrupción. La posición exacta se determina con los bits L2-L0 de OCW2.



Rotación con EOI no específico. Un comando que funciona como el comando no específico de fin de interrupción, salvo que rota las prioridades después de restablecer su bit en el registro de estado de interrupciones. El valor restablecido por este comando se vuelve interrupción de mínima prioridad. Por ejemplo, si se acaba de dar servicio a IR4 con este comando, se convierte en la entrada de interrupción de mínima prioridad y IR5 se vuelve de máxima prioridad.

Rotación con EOI automático. Un comando que selecciona un EOI automático con prioridad para la rotación. Este comando sólo se debe enviar al 8259 una vez, si se desea este modo. Si se va a apagar este modo, se debe emplear el comando para borrar.

Rotar con EOI específico. SU función es similar a la EOI específico, excepto que selecciona una prioridad de rotación.

Inicializar prioridad. Permite al programador inicializar la entrada de interrupción de mínima prioridad con el empleo de los bits L2 a L0.

Controlador de Interrupciones Programable 8259A Programación

OCW3: Selecciona el registro que se leerá, la operación del registro de máscara especial y el comando para "poleo". Si se selecciona poleo, se debe activar el bit P y, luego enviarlo al 8259A. La siguiente operación de lectura leerá el Registro seleccionado. Los tres bits de extrema derecha de la palabra de poleo indican la solicitud de interrupción en activo con la máxima prioridad.

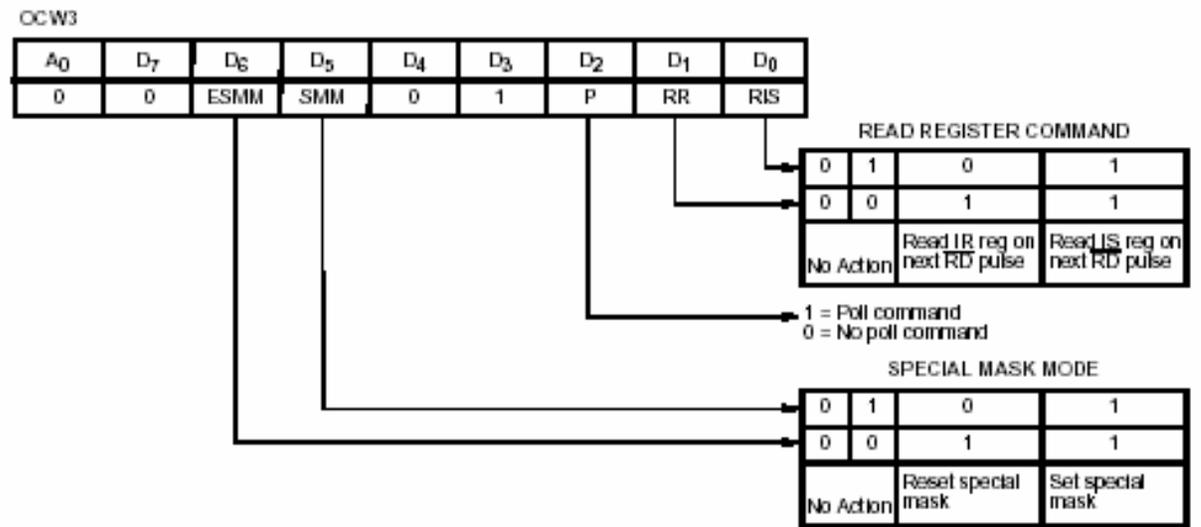
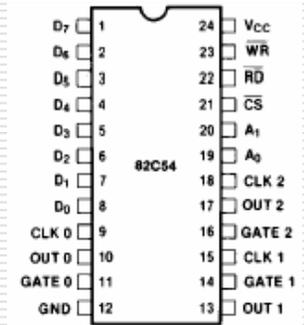
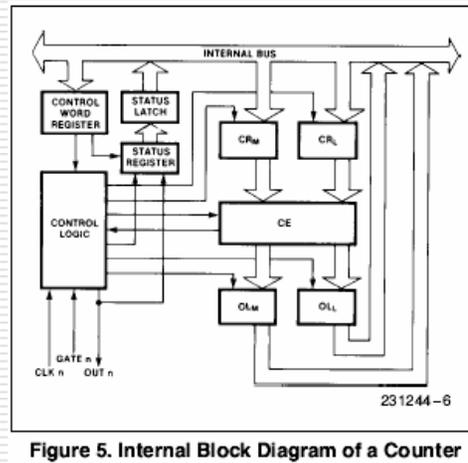
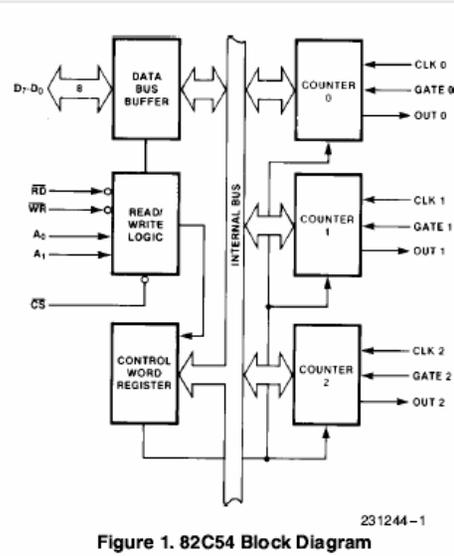


FIGURE 8. 82C59A OPERATION COMMAND WORD FORMAT

- Registros de Estado. En el 8259 se pueden leer tres registros de estado, registro de solicitud de interrupción (IRR), registro de servicio de interrupción (ISR) y registro de máscara de interrupción (IMR). Para leer IRR e ISR se programa OCW3 con A0=0, las posiciones de los bits D0 y D1 de OCWR seleccionan cuál registro (IRR o ISR) será leído (con A0=0). El registro IMR se lee por medio de OCW1 con A0=1.

TIMER PROGRAMMABLE 8254



TIMER PROGRAMMABLE 8254

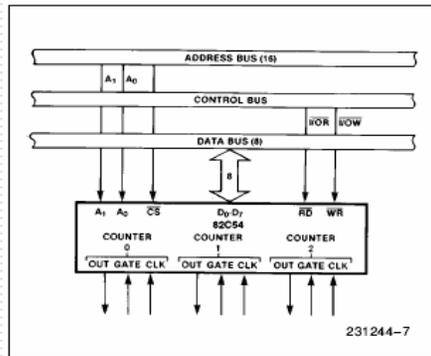


Figure 6. 82C54 System Interface

CS	RD	WR	A ₁	A ₀	
0	1	0	0	0	Write into Counter 0
0	1	0	0	1	Write into Counter 1
0	1	0	1	0	Write into Counter 2
0	1	0	1	1	Write Control Word
0	0	1	0	0	Read from Counter 0
0	0	1	0	1	Read from Counter 1
0	0	1	1	0	Read from Counter 2
0	0	1	1	1	No-Operation (3-State)
1	X	X	X	X	No-Operation (3-State)
0	1	1	X	X	No-Operation (3-State)

Figure 14. Read/Write Operations Summary

TIMER PROGRAMABLE 8254

Control Word Format

$A_1, A_0 = 11$ $\overline{CS} = 0$ $\overline{RD} = 1$ $\overline{WR} = 0$

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
SC1	SC0	RW1	RW0	M2	M1	M0	BCD

SC — Select Counter:

SC1	SC0	
0	0	Select Counter 0
0	1	Select Counter 1
1	0	Select Counter 2
1	1	Read-Back Command (See Read Operations)

M — MODE:

M2	M1	M0	
0	0	0	Mode 0
0	0	1	Mode 1
X	1	0	Mode 2
X	1	1	Mode 3
1	0	0	Mode 4
1	0	1	Mode 5

RW — Read/Write:

RW1 RW0

RW1	RW0	
0	0	Counter Latch Command (see Read Operations)
0	1	Read/Write least significant byte only.
1	0	Read/Write most significant byte only.
1	1	Read/Write least significant byte first, then most significant byte.

BCD:

0	Binary Counter 16-bits
1	Binary Coded Decimal (BCD) Counter (4 Decades)

NOTE: Don't care bits (X) should be 0 to insure compatibility with future Intel products.

Figure 7. Control Word Format

Control Word — Counter 0	A ₁	A ₀	Control Word — Counter 2	A ₁	A ₀
LSB of count — Counter 0	1	1	Control Word — Counter 1	1	1
MSB of count — Counter 0	0	0	Control Word — Counter 0	1	1
Control Word — Counter 1	1	1	LSB of count — Counter 2	1	0
LSB of count — Counter 1	0	1	MSB of count — Counter 2	1	0
MSB of count — Counter 1	0	1	LSB of count — Counter 1	0	1
Control Word — Counter 2	1	1	MSB of count — Counter 1	0	1
LSB of count — Counter 2	1	0	LSB of count — Counter 0	0	0
MSB of count — Counter 2	1	0	MSB of count — Counter 0	0	0
Control Word — Counter 0	A ₁	A ₀	Control Word — Counter 1	A ₁	A ₀
Counter Word — Counter 1	1	1	Control Word — Counter 0	1	1
Control Word — Counter 2	1	1	LSB of count — Counter 1	0	1
LSB of count — Counter 2	1	0	Control Word — Counter 2	1	1
LSB of count — Counter 1	0	1	LSB of count — Counter 0	0	0
LSB of count — Counter 0	0	0	MSB of count — Counter 1	0	1
MSB of count — Counter 0	0	0	LSB of count — Counter 2	1	0
MSB of count — Counter 1	0	1	MSB of count — Counter 0	0	0
MSB of count — Counter 2	1	0	MSB of count — Counter 2	1	0

NOTE: In all four examples, all counters are programmed to read/write two-byte counts. These are only four of many possible programming sequences.

Figure 8. A Few Possible Programming Sequences

PROGRAMACION

Para inicializar al dispositivo se requieren los siguientes pasos:

Escribir una palabra de control en el Registro de Control Cargar el byte de bajo orden de una cuenta en el Registro de cuenta seleccionado.

Cargar el byte de alto orden de una cuenta en el Registro de cuenta seleccionado.

TIMER PROGRAMABLE 8254

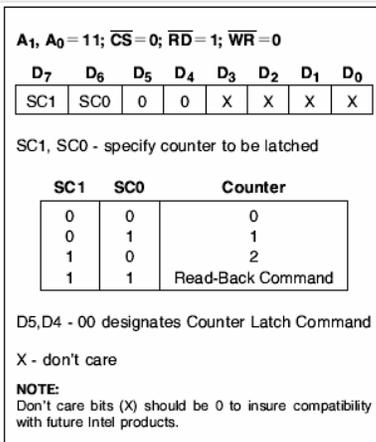


Figure 9. Counter Latching Command Format

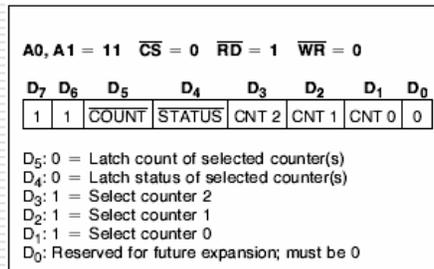


Figure 10. Read-Back Command Format

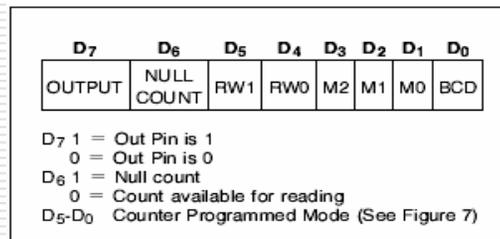


Figure 11. Status Byte

Command								Description	Results
D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀		
1	1	0	0	0	0	1	0	Read back count and status of Counter 0	Count and status latched for Counter 0
1	1	1	0	0	1	0	0	Read back status of Counter 1	Status latched for Counter 1
1	1	1	0	1	1	0	0	Read back status of Counters 2, 1	Status latched for Counter 2, but not Counter 1
1	1	0	1	1	0	0	0	Read back count of Counter 2	Count latched for Counter 2
1	1	0	0	0	1	0	0	Read back count and status of Counter 1	Count latched for Counter 1, but not status
1	1	1	0	0	0	1	0	Read back status of Counter 1	Command ignored, status already latched for Counter 1

Figure 13. Read-Back Command Example

Operación de Lectura

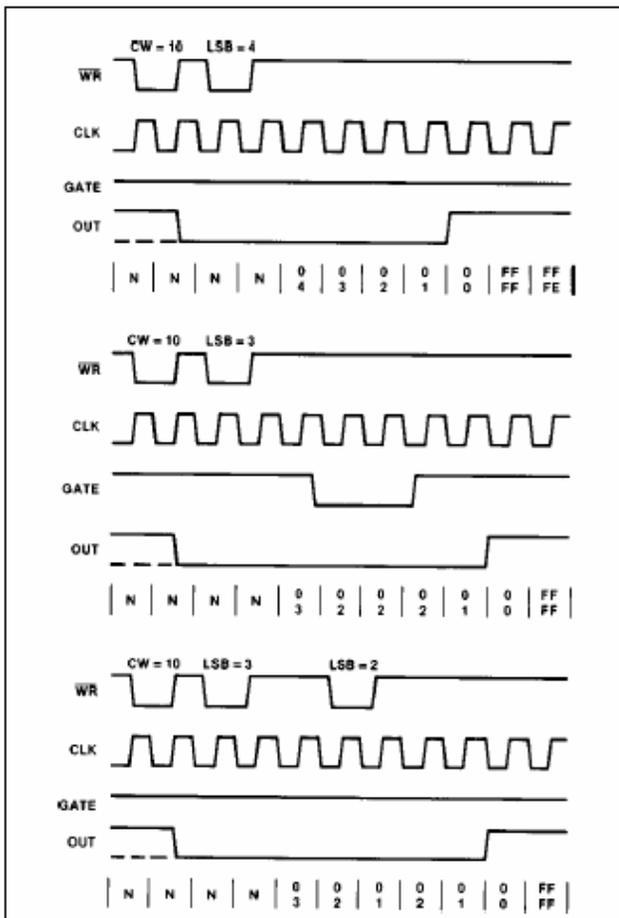
En algunas aplicaciones es necesario leer el valor de la cuenta, esto se realiza:

Leyendo una cuenta mientras la cuenta sigue en progreso. Se escribe una palabra de control apropiada en el registro de control para retener la cuenta en el latch de salida. Una vez realizado esto se deberán realizar una o dos operaciones (de acuerdo a la programación) de lectura de E/S para obtener la cuenta en el contador seleccionado.

Leer una cuenta después de inhibir la cuenta del contador. La cuenta se detiene controlando la entrada GATE del contador seleccionado, y se deberán realizar dos operaciones de E/S.

TIMER PROGRAMABLE 8254

Modos de programación



MODO 0

“ Interrupción al final de la cuenta ”

La salida es inicialmente 0, una vez que la cuenta se carga en el Registro, el contador se decrementa en cada ciclo de reloj y cuando llega a 0 la salida (OUT) va a 1, la cual se puede usar como interrupción.

La salida permanece en 1 hasta una nueva cuenta o hasta que una nueva palabra de comando sea cargada. Se detiene cuando GATE=0 y continúa si GATE=1.

MODO 0

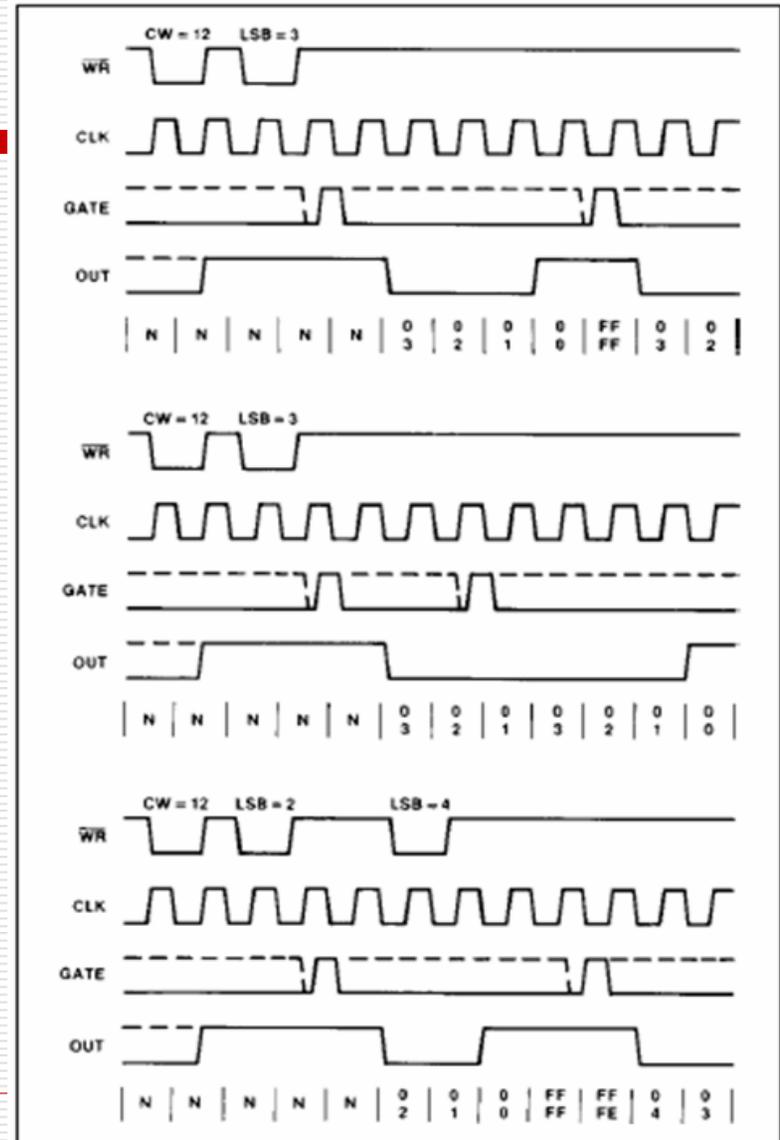
TIMER PROGRAMABLE 8254

Modos de programación

MODO 1

“Monoestable Programable”

La salida es inicialmente 1. Cuando GATE es disparada la salida va a 0, al final de la cuenta, la salida va a 1 nuevamente. Esto un pulso de disparo.



Mode 1

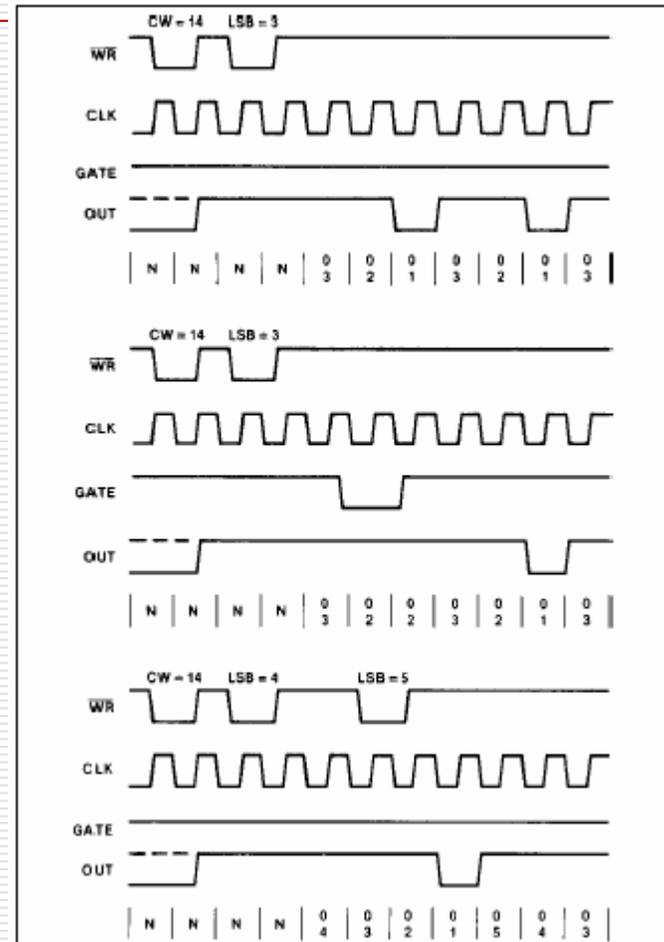
TIMER PROGRAMABLE 8254

Modos de programación

MODO 2

“ Divisor de Frecuencia ”

Genera un pulso igual al periodo de reloj del intervalo dado. Cuando la cuenta se carga, la salida permanece en 1 hasta que la cuenta llega a 1, y entonces la salida va a 0 durante un periodo de reloj. La cuenta se carga automáticamente y el pulso se genera continuamente. La cuenta igual a uno es ilegal en este modo.



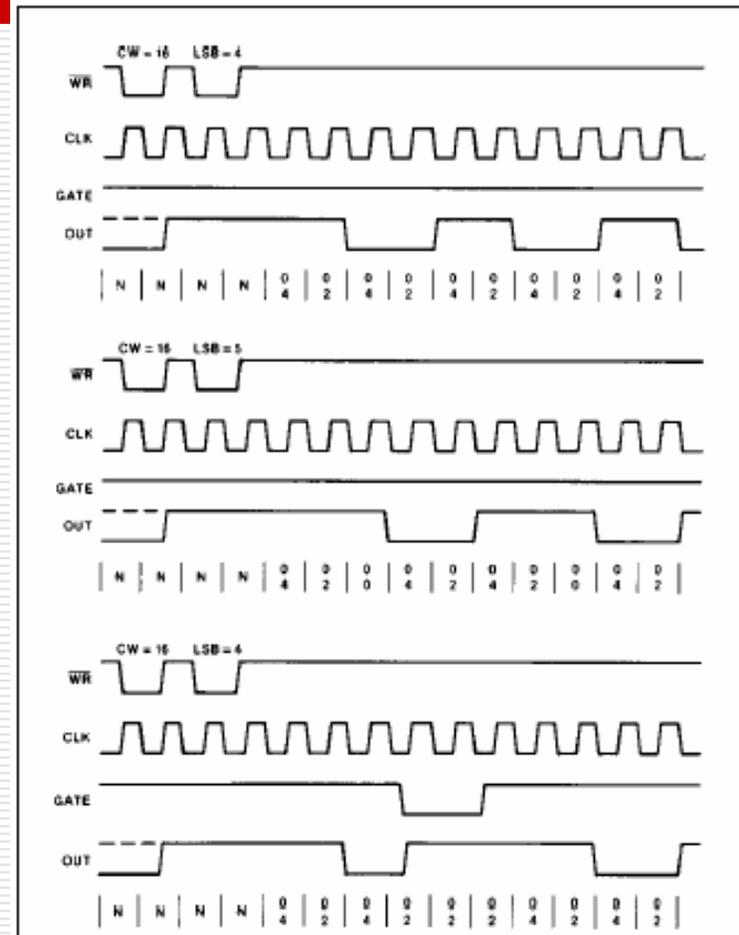
MODO 2

TIMER PROGRAMABLE 8254

Modos de programación

MODO 3

“ Generador de Onda Cuadrada ”
Cuando la cuenta es cargada, la salida es 1, la cuenta se decrementa en 2 en cada ciclo de reloj. Cuando llega a cero, la salida va a cero y la cuenta se recarga (automáticamente). Esto se repite continuamente, una onda cuadrada es igual a la frecuencia del reloj dividida por la cuenta. Si N (valor de la cuenta) es impar el pulso estará en “1” durante $(N+1)/2$ ciclos de reloj y en 0 durante $(N-1)/2$ ciclos de reloj.



MODO 3

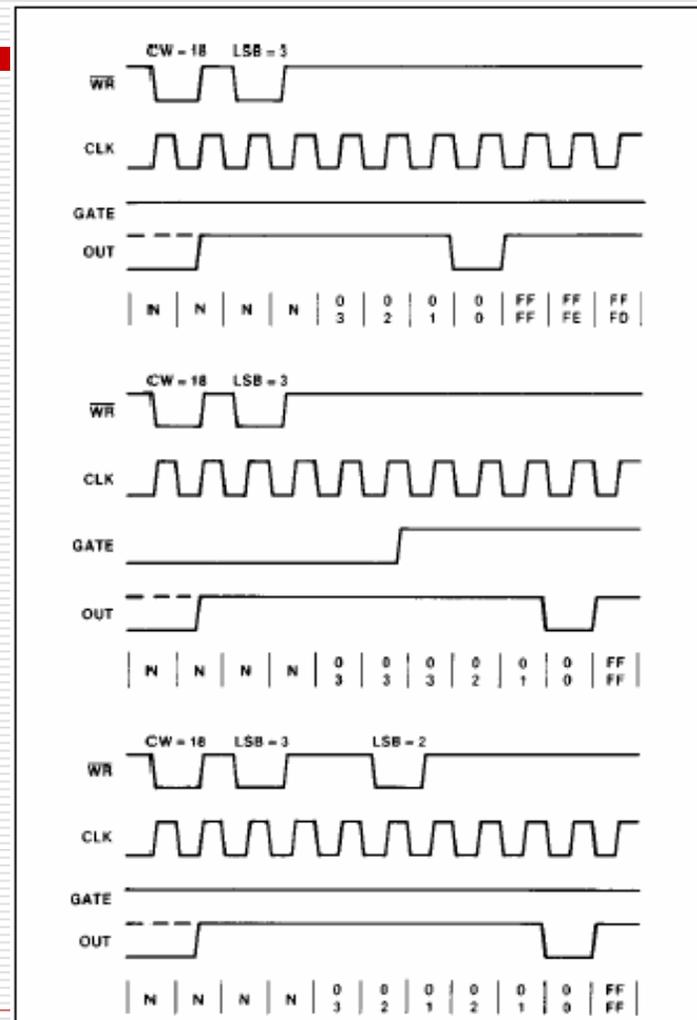
TIMER PROGRAMABLE 8254

Modos de programación

MODO 4

“ Retardo activado por Software ”

La salida inicialmente es uno y va a 0 durante un ciclo de reloj al final de la cuenta. La cuenta debe ser recargada para salidas subsecuentes.



MODO 4

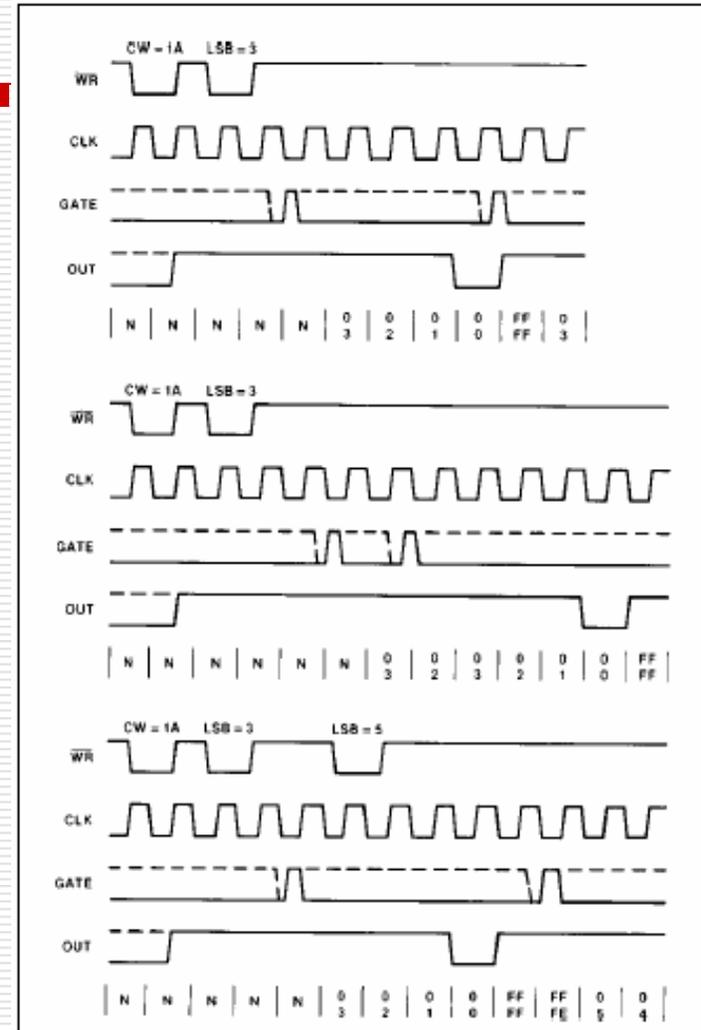
TIMER PROGRAMABLE 8254

Modos de programación

MODO 5

“Retardo activado por Hardware”

Es similar al modo 4 excepto que es disparado por la subida del pulso de GATE. Inicialmente la salida es 0. Cuando el pulso de GATE es disparado de bajo a alto, la cuenta empieza. Al final de la cuenta, la salida va a cero por un pulso de reloj.



MODO 5

TIMER PROGRAMABLE 8254

Modos de programación

Signal Status Modes	Low Or Going Low	Rising	High
0	Disables counting	—	Enables counting
1	—	1) Initiates counting 2) Resets output after next clock	—
2	1) Disables counting 2) Sets output immediately high	Initiates counting	Enables counting
3	1) Disables counting 2) Sets output immediately high	Initiates counting	Enables counting
4	Disables counting	—	Enables counting
5	—	Initiates counting	—

Gate Pin Operations Summary

MODE	MIN COUNT	MAX COUNT
0	1	0
1	1	0
2	2	0
3	2	0
4	1	0

NOTE:

0 is equivalent to 2^{16} for binary counting and 10^4 for BCD counting

Minimum and Maximum initial Counts

TIMER PROGRAMABLE 8254

Modos de programación

MODO 0 " Interrupción al final de la cuenta "

La salida es inicialmente 0, una vez que la cuenta se carga en el Registro, el contador se decrementa en cada ciclo de reloj y cuando llega a 0 la salida (OUT) va a 1, la cual se puede usar como interrupción. La salida permanece en 1 hasta una nueva cuenta o hasta que una nueva palabra de comando sea cargada. Se detiene cuando GATE=0 y continua si GATE=1.

MODO 1 " Monoestable Programable "

La salida es inicialmente 1. Cuando GATE es disparada la salida va a 0, al final de la cuenta, la salida va a 1 nuevamente. Esto genera un pulso de disparo.

MODO 2 " Divisor de Frecuencia "

Genera un pulso igual al periodo de reloj del intervalo dado. Cuando la cuenta se carga, la salida permanece en 1 hasta que la cuenta llega a 1, y entonces la salida va a 0 durante un periodo de reloj. La cuenta se carga automáticamente y el pulso se genera continuamente. La cuenta igual a uno es ilegal en este modo.

MODO 3 " Generador de Onda Cuadrada "

Cuando la cuenta es cargada, la salida es 1, la cuenta se decrementa en 2 en cada ciclo de reloj. Cuando llega a cero, la salida va a cero y la cuenta se recarga (automáticamente). Esto se repite continuamente, una onda cuadrada es igual a la frecuencia del reloj dividida por la cuenta. Si N (valor de la cuenta) es impar el pulso estará en "1" durante $(N+1)/2$ ciclos de reloj y en 0 durante $(N-1)/2$ ciclos de reloj.

MODO 4 " Retardo activado por Software "

La salida inicialmente es uno y va a 0 durante un ciclo de reloj al final de la cuenta. La cuenta debe ser recargada para salidas subsecuentes.

MODO 5 " Retardo activado por Hardware "

Es similar al modo 4 excepto que es disparado por la subida del pulso de GATE. Inicialmente la salida es 0. Cuando el pulso de GATE es disparado de bajo a alto, la cuenta empieza. Al final de la cuenta, la salida va a cero por un pulso de reloj.

TIMER PROGRAMABLE 8254

PROGRAMACION

Para inicializar al dispositivo se requieren los siguientes pasos:

Escribir una palabra de control en el registro de Control

Cargar el byte de bajo orden de una cuenta en el Registro de cuenta seleccionado.

Cargar el byte de alto orden de una cuenta en el Registro de cuenta seleccionado.

Operación de Lectura

En algunas aplicaciones es necesario leer el valor de la cuenta, esto se realiza:

Leyendo una cuenta mientras la cuenta sigue en progreso. Se escribe una palabra de control apropiada en el registro de control para retener la cuenta en el latch de salida. Una vez realizado esto se deberán realizar una o dos operaciones (de acuerdo a la programación) de lectura de E/S para obtener la cuenta en el contador seleccionado.

Leer una cuenta después de inhibir la cuenta del contador. La cuenta se detiene controlando la entrada GATE del contador seleccionado, y se deberán realizar dos operaciones de E/S.
